

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-151104

(43)Date of publication of application : 30.05.2000

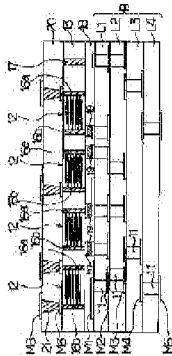
(51)Int.Cl.

H05K 3/46

(21)Application number : 10-320623 (71)Applicant : SONY CORP

(22)Date of filing : 11.11.1998 (72)Inventor : YONEYAMA KATSUHIRO

(54) MULTILAYER BOARD



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer board having built-in passive elements having performance equivalent to or more excellent than that of a chip laminated passive element.

SOLUTION: On a multilayer ceramic part B where four ceramic layers made of ceramic material L1, L2,..., L4 are laminated in this order, a passive element substrate 13 having a plurality of built-in laminated capacitors 12 is mechanically and electrically bonded by insulation bonding material 18 and conductive bonding material 19. A build-up layer 20 is further formed on top thereof. The laminated capacitors 12 are constituted by alternately laminating two kinds of internal

electrodes formed out of alignment via a dielectric layer for each. The internal electrodes constituting this laminate structure are respectively connected to through holes 16a, 16b functioning as external electrodes.

LEGAL STATUS

[Date of request for examination] 25.10.2005

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the multilayer substrate possessing a laminating mold passive element -- it is -- a through hole and wiring -- with the ceramic layer which consists of the monolayer or the two or more layers ceramic layer in which the conductor was formed The passive element substrate which contains the laminating mold passive element by which the edge of two or more of said conductor layers is connected to the through hole while adjoining said ceramic layer, being arranged and carrying out the laminating of two or more conductor layers through the dielectric layer, respectively, The multilayer substrate characterized by having the insulating sexual conjugation material which joins mechanically said ceramic layer and said passive element substrate, and the conductive jointing material for corrugated fibreboard which joins electrically said ceramic layer and said passive element substrate.

[Claim 2] The multilayer substrate characterized by forming the build up layer on said passive element substrate in a multilayer substrate according to claim 1.

[Claim 3] the multilayer substrate possessing a laminating mold passive element -- it is -- a through hole and wiring -- with two or more ceramic layers which consist of the monolayer or the two or more layers ceramic layer in which the conductor was formed The passive element substrate which contains the laminating mold passive element by which the edge of two or more of said conductor layers is connected to the through hole while intervening among said two or more ceramic layers, being arranged and carrying out the laminating of two or more conductor layers through the dielectric layer, respectively, The multilayer substrate characterized by having the insulating sexual conjugation material which joins mechanically two or more of said ceramic layers and said passive element substrates, and the conductive jointing material for corrugated fibreboard which joins electrically two or more of said ceramic layers and said passive element substrates.

[Claim 4] The multilayer substrate characterized by building two or more laminating mold passive elements of the same class in said passive element substrate in a multilayer substrate according to claim 1 or 3.

[Claim 5] The multilayer substrate characterized by building in two or more laminating mold passive elements of a class which is different in said passive element substrate in a multilayer substrate according to claim 1 or 3.

[Claim 6] The multilayer substrate characterized by intermingling and forming the power source, the gland, or the signal line in said passive element substrate in a multilayer substrate according to claim 1 or 3.

[Claim 7] The multilayer substrate characterized by said ceramic layer calcinating and forming a green sheet made from an alumina, a glass ceramic, alumimium nitride, silicon nitride, zirconiums, or these mixtures in a multilayer substrate according to claim 1 or 3.

[Claim 8] The multilayer substrate characterized by using a ceramic system ingredient, glass material, mica material, ferrite material, or an organic material as an ingredient of said dielectric layer which constitutes said laminating mold passive element in a multilayer substrate according to claim 1 or 3.

[Claim 9] The multilayer substrate characterized by using low-temperature melting point glass, polyimide, an epoxy resin or an alumina, a glass ceramic, alumimium nitride, silicon nitride, zirconiums, or these mixtures as said insulating sexual conjugation material in a multilayer substrate according to claim 1 or 3.

[Claim 10] In a multilayer substrate according to claim 1 or 3 As said conductive jointing material for corrugated fibreboard, the alloy of copper, silver, silver, and platinum, the alloy of silver and palladium, molybdenum, tungstens, or these mixtures are used. Multilayer substrate characterized by things.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multilayer substrate which contained the passive element which starts a multilayer substrate, especially makes laminated structures, such as a stacked capacitor and a laminating mold inductor.

[0002]

[Description of the Prior Art] In recent years, especially the demand of the formation of small lightweight of electronic equipment is a still stronger thing, while high performance-ization in the mobile handicap NYUKESHON field based on the technique of a personal computer and a communication link progresses. And the request of the formation of small lightweight is becoming strong similarly with the formation of small lightweight of such electronic equipment also about the ceramic multilayer substrate used for electronic equipment. For this reason, in a ceramic multilayer substrate, for example, an elevated-temperature baking type alumina multilayer substrate, the low-temperature baking crystallized glass multilayer substrate in which low-temperature baking is possible, from the former, passive elements, such as resistance, a capacitor, and an inductor, were formed in the surface section and the inner layer section of a ceramic multilayer substrate, and the technique in which it attains that small and light-ization has been developed.

[0003] Hereafter, the ceramic multilayer substrate which built-in-ized the passive element is explained as an example of the conventional ceramic multilayer substrate using drawing 14 and drawing 15 . Drawing 14 is the sectional view showing the ceramic multilayer substrate which built-in-ized the conventional passive element here, and drawing 15 is a sectional view for explaining the capacitor built in the ceramic multilayer substrate of drawing 14 .

[0004] As shown in drawing 14 , in the conventional ceramic multilayer substrate, the laminating of the four-layer ceramic layers L21, L22, --, L24 which consist of crystallized glass, for example is carried out to order, and they constitute the ceramic multilayer section 41. And the wiring conductor layers M21, M22, --, M25 are formed between each class of ceramic layer L21 top face of the maximum upper layer, and the ceramic layers L21, L22, --, L24, and in ceramic layer L24 inferior surface of tongue of the lowest layer, respectively among the ceramic layers L21, L22, --, L24 of this ceramic multilayer section 41.

[0005] Moreover, the resistance element R21 and capacitor C21 as a passive element are formed on the upper surface section L21 of the ceramic multilayer section 41, i.e., a ceramic layer. Moreover, the capacitor C22 is formed between the inner layer sections L22 and L23 of the ceramic multilayer section 41, for example, ceramic layers. Furthermore, the resistance element R22 is formed also on the surface section L24 of the lower part of the ceramic multilayer section 41, i.e., a ceramic layer.

[0006] Moreover, build up layer 42b is formed also on the ceramic layer L24 inferior surface of tongue in which build up layer 42a is formed on the ceramic layer L21 top face in which the upper surface section R21, i.e., the resistance element, and the upper capacitor C21 of the ceramic multilayer section 41 are formed, and the surface section R22 of the lower part of the ceramic multilayer section 41, i.e., a resistance element, is formed. And the wiring conductor layers M26 and M27 are formed in these build up layer 42a top faces and a build up layer 42b inferior surface of tongue, respectively.

[0007] Furthermore, the through hole 43 connected to the wiring conductor layers

M21, M22, --, M25, resistance elements R21 and R22, or capacitors C21 and C22, respectively is formed in each ceramic layers L21, L22, --, L24 of the ceramic multilayer section 41. Moreover, the through hole 44 connected to the wiring conductor layers M26 and M27, the wiring conductor layer M21 of ceramic layer L21 top face, the wiring conductor layer M25 of ceramic layer L24 inferior surface of tongue, and the capacitor C21 of ceramic layer L21 top face, respectively is formed also in the build up layers 42a and 42b.

[0008] In addition, although these resistance elements R21 and R22 omit detailed illustration, they consist of resistor layers linked to two electrodes which face, and these two electrodes. Moreover, the capacitor CC 22 consists of a lower electrode 45 formed on the ceramic layer L23, a dielectric layer 47 formed through the barrier metal layer 46 on this lower electrode 45, and an up electrode (in drawing 15 , a barrier metal layer and an up electrode are set and illustrated) 48 formed through the barrier metal layer on this dielectric layer 47, as shown in drawing 15 (b). Moreover, a capacitor C21 is also the same configuration as a capacitor C22 fundamentally.

[0009] And the electrostatic capacity C obtained by such capacitors C21 and C22 is given by the following formula.

$$C = \epsilon_0 \text{ and } \epsilon - (A/d) \quad (1)$$

However, ϵ_0 : Multiplier 8.854×10^{-12} (F/m)

ϵ : specific inductive capacity A : Electrode surface product d : Inter-

electrode distance [0010] Moreover, as a capacitor C22 is shown in drawing 15 (a) and (b), for example One location of the through holes 43a and 43b currently formed in the ceramic layer L22 It corresponds to the location of the up electrode 48 of the capacitor C22 of ceramic layer L3 top face. When the laminating of the ceramic layer L2 and the ceramic layer L3 is carried out, either of the through holes 43a and 43b of the ceramic layer L2 connects with the up electrode 48 of a capacitor C22. In this way, the predetermined electrostatic capacity C will be obtained between through hole 43c of the ceramic layer L23 linked to the lower electrode 45 of either of the through holes 43a and 43b of the ceramic layer L2,

and a capacitor C22 linked to the up electrode 48 of a capacitor C22.

[0011] By the way, the following ingredients are used for each element which constitutes the ceramic multilayer substrate shown in drawing 14 . Namely, the ceramic layers L21, L22, --, L24 are made from the crystallized glass which comes to mix an alumina (aluminum $2O_3$) and a HOUKEI acid oxide (B-2 O_3-SiO_2). And generally this crystallized glass has the property with about 5.6 to 8.0 specific inductive capacity, thermal conductivity about 2.5 W/m-K -, and 3 W/m-K, a coefficient-of-thermal-expansion abbreviation $5.5 \times 10^{-6}/\text{degreeC}$, and a heat-resistant temperature of about 850 degrees C - 950 degrees C (burning temperature). Moreover, the dielectric breakdown voltage is about 10kV/mm - 20kV/mm. In addition, as a ceramic ingredient, there is a thing made [other than this crystallized glass] from high purity alumina, a zirconia, AlN (nitriding aluminum), etc.

[0012] Moreover, organic materials, glass ceramics, etc., such as polyimide and epoxy system resin, are used for the build up layers 42a and 42b as an ingredient.

[0013] Moreover, the wiring conductor layers M21, M22, --, M27 and through holes 43 and 44 are made from a simple substance or mixtures, such as Cu (copper), Ag (silver), Ag-Pt (platinum), Ag-Pd (palladium), and W (tungsten), Mo (molybdenum). Based on the burning temperature of the above-mentioned ceramic ingredient, a firing environments, the property of the circuit to form, etc., it determines these any are chosen. In addition, there is also a case of the laminated structure which uses Ag, Ag-Pt, and Ag-Pd for a inner layer, and uses Cu for an outer layer.

[0014] Moreover, Cu, Ag, Ag-Pt, Ag-Pd, etc. are used for the electrode which constitutes resistance elements R21 and R22 as an ingredient, and it is RuO_2 in a resistor layer. A system, LaB6, and SnO_2 A system etc. is used as an ingredient.

[0015] furthermore, to the lower electrode 45 and the up electrode 48 which constitute capacitors C21 and C22 Cu, Ag, Ag-Pt, Ag-Pd, etc. are used as an

ingredient. For example, to a dielectric layer 47 For example, with with a specific inductive capacity of about 20 to 28 tantalum oxide, and a specific inductive capacity of about 2000 BaTiO₃, with a specific inductive capacity of about 150 to 200 SrTiO₃, with a specific inductive capacity of about 500 to 860 BaSrTiO₃, with a specific inductive capacity of about 100 to 200 PbTiO₃, and with a specific inductive capacity of about 700 to 4000 PbLaZrTiO₃ etc. -- various ingredients are used. Moreover, the barrier metal layer 46 is made from W, Ru (ruthenium), Pt, Au(gold), Ti (titanium), etc., and is making the laminated structure of a simple substance layer or two or more ingredients.

[0016] Next, the manufacture process of the ceramic multilayer substrate shown in drawing 14 is explained.

As a procedure-1 ceramic ingredient, the powder of an alumina and a HOUKEI acid oxide is added to solvents, such as water or alcohol, and it mixes. The particle size of the fine particles at this time is about several [an average of] micrometers. Then, this mixture is made to scour mutually, a slip is carried out, and a kneading object is formed.

[0017] a procedure -2 -- this kneading object is extended and membranes are formed to the thin film of the shape of a roll with a thickness of 10 micrometers - about 250 micrometers. And this thin film is cut in dimension in every direction of 50mm - about 200mm, and the sheet metal of two or more sheets is formed. Generally this sheet metal is called a green sheet.

[0018] In the green sheet of -34 procedures, the hole for two or more through holes with a bore diameter of 50 micrometers - about 200 micrometers is broken. As law, there is an approach using the approach by the drill, the approach by metal mold, laser, etc. at hole dawn for these through holes, for example. Then, the conductor which consists of a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, is embedded in the hole for these through holes, and a through hole 43 is formed in it. Generally as an approach of embedding a conductor in the hole for these through holes, screen printing is used.

[0019] the green sheet of -44 procedures -- respectively -- alike -- wiring -- a

conductor is printed. namely, the top face of a green sheet and a case -- a top face and an inferior surface of tongue -- a conductor -- it prints and the wiring conductor layers M21, M22, --, M25, such as a receptacle land of a through hole, a circuit pattern, and a components land, are formed. As an ingredient of the wiring conductor layers M21, M22, --, M25 at this time, the thing of the conductor used for formation of a through hole 43 and a same system is used.

[0020] A capacitor C22 is formed on a predetermined green sheet among the green sheets of -54 procedures. That is, after forming the lower electrode 45 by print processes on a predetermined green sheet and performing desiccation processing, the barrier metal layer 46 is formed by print processes on this lower electrode 45, and desiccation processing is performed. Then, a dielectric layer 47 is formed by print processes on this barrier metal layer 46, and desiccation processing is performed. Furthermore, after forming a barrier metal layer by print processes on this dielectric layer 47 and performing desiccation processing, the up electrode 48 is formed by print processes on this barrier metal layer.

[0021] After performing alignment of each green sheet including the green sheet in which procedure -6 capacitor C22 was formed, it accumulates one by one. And a laminating press is performed and it is made for Ayr etc. not to remain between each green sheet.

[0022] The green sheet by which the laminating was carried out with a procedure-7 laminating press is cut in desired magnitude. In this way, a raw layered product is formed.

[0023] The binder which exists in each green sheet is removed pressurizing depending on the case heating the raw layered product to which the laminating of the green sheet of -84 procedures was carried out. Furthermore, this baking is performed and the green sheet of four sheets by which the laminating was carried out is changed to the ceramic layers L21, L22, --, L24, respectively. In this way, the four-layer ceramic layers L21, L22, --, L24 form the ceramic multilayer section 41 by which the laminating was carried out to order.

[0024] A resistance element R21 and a capacitor C21 are formed on the upper

surface section of the procedure-9 ceramic multilayer section 41, i.e., ceramic layer L21 top face, and a resistance element R22 is formed on the downward surface section, i.e., ceramic layer L24 inferior surface of tongue. Namely, after performing data smoothing which makes flat irregularity of about several micrometers of ceramic layer L21 front face, Formation of the lower electrode 45 according to print processes using the approach as the case of the above-mentioned procedure -5 that moreover it is almost the same, The up electrode 48 by desiccation processing, formation of the barrier metal layer 46 by print processes, desiccation processing, formation of the dielectric layer 47 by print processes, desiccation processing, formation of the barrier metal layer by print processes, desiccation processing, and print processes is formed. In this way, a capacitor C21 is formed on the ceramic layer L21. In addition, it is because there is a danger that fault, like a void will occur, the electric-field concentration resulting from this void will arise, and the reason for having performed data smoothing of ceramic layer L21 front face will cause an inter-electrode short circuit if a capacitor is formed in an irregular front face will happen here.

[0025] Moreover, on the ceramic layer L21, a conductor is applied by print processes, after forming two electrodes face to face, the resistor again connected to these two electrodes using print processes is applied, and a resistor layer is formed. The process to dry is added after applying a resistor depending on the case. In this way, a resistance element R21 is formed upwards on the ceramic layer L21. Similarly, a resistance element R22 is formed on the surface section of the lower part of the ceramic multilayer section 41, i.e., ceramic layer L24 inferior surface of tongue.

[0026] In addition, when forming a capacitor C21 and resistance elements R21 and R22 in the surface section of the ceramic multilayer section 41, it is also possible to adopt the thin film formation process using a spatter or a CVD method unlike the case where a capacitor C22 is formed in the inner layer section of the ceramic multilayer section 41. In this case, it becomes possible to form a more highly efficient passive element, and when it is especially a

capacitor, it becomes possible to realize that high capacity-ization easily.

[0027] Trimming processing of the resistance element R22 formed on the ceramic layer L24 inferior surface of tongue is performed in the resistance element R21 and capacitor C21 list which were formed on the procedure-10 ceramic layer L21 top face. For example, groove slitting is put in crosswise [of a resistor layer] with laser or sandblasting from the top face of resistance elements R21 and R22, and it is made for the resistance to go within the limits of predetermined desired value. The precision of 0.5% - about 5% of resistance is acquired by current and this trimming processing. Trimming processing is performed also about a capacitor C21, and it is made similarly for the capacity value to enter within the limits of predetermined desired value.

[0028] While forming build up layer 42a on the ceramic layer L21 top face of the procedure-11 ceramic multilayer section 41, build up layer 42b is formed on ceramic layer L24 inferior surface of tongue. That is, after applying resin to ceramic layer L21 top face by the lamination of a printing, spin coat, and sheet-like ingredient etc., you make it harden by the exposure of heat curing, UV, etc., in using the ingredient of for example, a resin system for the ingredient of build up layer 42a. Moreover, in using glass ceramics as an ingredient, it calcinates and solidifies, after applying paste-like glass to ceramic layer L21 top face by printing etc. In this way, build up layer 42a is formed on the ceramic layer L21 top face in which the resistance element R21 and capacitor C21 of the ceramic multilayer section 41 were formed. Similarly, build up layer 42b is formed on the ceramic layer L24 inferior surface of tongue in which the resistance element R22 of the ceramic multilayer section 41 was formed.

[0029] A through hole 44 is formed in the procedure-12 build-up layers 42a and 42b. That is, after removing the resin of a through hole formation schedule field and carrying out opening of the hole for two or more through holes while applying photosensitive resin on the ceramic layer L21 and stiffening resin other than a through hole formation schedule field when using photosensitive resin for the ingredient of build up layer 42a, plating, spreading of conductive paste, a spatter,

etc. are used for the hole for these through holes, and a conductor is embedded. In this way, the through hole 44 linked to the wiring conductor layer M21 and capacitor C21 of ceramic layer L21 top face is formed in build up layer 42a.

[0030] In addition, after applying and stiffening photosensitive resin for example, on the ceramic layer L21 besides the formation approach of such a through hole 44, opening of the hole for two or more through holes is carried out with laser etc., and there is also the approach of using plating, spreading of conductive paste, a spatter, etc. for the hole for these through holes, and embedding a conductor. Moreover, when using glass ceramics for the ingredient of build up layer 42a, after fixing glass ceramics on the ceramic layer L21, opening of the hole for two or more through holes is carried out with laser etc., and there is also the approach of using plating, spreading of conductive paste, a spatter, etc. for the hole for these through holes, and embedding a conductor. Similarly, the through hole 44 connected on ceramic layer L24 inferior surface of tongue resistance element R22 is formed in build up layer 42b.

[0031] The wiring conductor layer M26 linked to a through hole 44 is formed in a procedure-13 build-up layer 42a top face by performing printing of a conductor, plating, a spatter, etc. Similarly, the wiring conductor layer M27 which connects with a build up layer 42b inferior surface of tongue in a through hole 44 is formed. The low-temperature baking crystallized glass multilayer substrate with which the resistance elements R21 and R22 and capacitors C21 and C22 as a passive element as shown in drawing 14 were built in by such manufacture process is formed.

[0032] In addition, as a passive element built in a ceramic multilayer substrate, although not shown in above-mentioned drawing 14 , as shown in drawing 16 other than the above-mentioned resistance elements R21 and R22 and a capacitor C21, and C22 grade, there is an inductor 50 which consists of an inner conductor layer 49 of width of face of 100 micrometers and the spiral configuration of a square shape with a thickness of 1 micrometer using Cu as an ingredient. That is, the inductor 50 of the spiral configuration of such a square

shape may be formed in the surface section of the ceramic multilayer section 41, or the inner layer section. Moreover, the inductor of a round spiral configuration may be formed instead of the inductor 50 of the spiral configuration of this square shape.

[0033] Next, the ceramic multilayer substrate which built-in-ized the capacitor of small capacity comparatively is explained as other examples of the conventional ceramic multilayer substrate using drawing 17 by different approach from the ceramic multilayer substrate of above-mentioned drawing 14 . Here, drawing 17 is the outline sectional view showing the conventional ceramic multilayer substrate which built-in-ized the capacitor of small capacity comparatively.

[0034] As shown in drawing 17 , the laminating of the four-layer ceramic layers L31, L32, --, L34 which consist of crystallized glass is carried out to order. And in such a laminated structure, the dielectric layer L40 for capacitors which similarly consists of crystallized glass between the ceramic layer L32 and the ceramic layer L33 is formed.

[0035] Moreover, the wiring conductor layers M31, L32, --, L34 are formed between the ceramic layer L33 and the ceramic layers L34 and in ceramic layer L34 inferior surface of tongue among the ceramic layers L31, L32, --, L34, respectively between ceramic layer L31 top face of the maximum upper layer, the ceramic layer L31, and the ceramic layer L32.

[0036] moreover, two electrode M35for capacitors a, M35b and electrode M36for capacitors a, and M36b are countered and formed in ceramic layer L32 inferior surface of tongue and ceramic layer L33 top face on both sides of the dielectric layer L40 for capacitors in between, respectively. That is, a capacitor C31 is formed of electrode M35for capacitors a and electrode M36a for capacitors which counter on both sides of the dielectric layer L40 for capacitors in between, and the capacitor C32 is formed of electrode M35for capacitors b and electrode M36b for capacitors which similarly counter on both sides of the dielectric layer L40 for capacitors in between.

[0037] furthermore, the through hole 51 connected to the wiring conductor layers

M31, L32, --, L34 and electrode M35 for capacitors a, M35b, M36a, and M36b, respectively is formed in each ceramic layers L31, L32, --, L34.

[0038] By the way, the following ingredients are used for each element which constitutes the ceramic multilayer substrate shown in above-mentioned drawing 17. Namely, the ceramic layers L31, L32, --, L34 and the dielectric layer L40 for capacitors are made from the crystallized glass which comes to mix an alumina and a HOUKEI acid oxide like the ceramic layers L21, L22, --, L24 of the ceramic multilayer substrate of above-mentioned drawing 14. Generally this crystallized glass has the property with about 5.6 to 8.0 specific inductive capacity, thermal conductivity about 2.5 W/m-K -, and 3 W/m-K, a coefficient-of-thermal-expansion abbreviation $5.5 \times 10^{-6}/\text{degreeC}$, and a heat-resistant temperature of about 850 degrees C - 950 degrees C (burning temperature). Moreover, the dielectric breakdown voltage is about 10kV/mm - 20kV/mm.

[0039] moreover, the wiring conductor layers M31, L32, --, L34, electrode M35 for capacitors a, M35b, 36a, M36b, and a through hole 51 are made from a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, like the wiring conductor layers M21, M22, --, M30 of the ceramic multilayer substrate of above-mentioned drawing 14, and a through hole 43.

[0040] Next, the manufacture process of the ceramic multilayer substrate shown in drawing 17 is explained. In addition, since this manufacture process is common in the manufacture process of the ceramic multilayer substrate shown in above-mentioned drawing 14 in many respects, a common point simplifies explanation.

[0041] As a procedure-1 ceramic ingredient, the powder of an alumina and a HOUKEI acid oxide is added to solvents, such as water or alcohol, and it mixes. Then, this mixture is made to scour mutually, a slip is carried out, and a kneading object is formed.

[0042] a procedure -2 -- this kneading object is extended and the thin film with a thickness of 10 micrometers - about 250 micrometers of four sheets and the thin film with a thickness of 10 micrometers - about 100 micrometers of one sheet are

formed. And these thin films are cut in dimension in every direction of 50 micrometers - about 200 micrometers, and the sheet metal of two or more sheets, i.e., a green sheet, is formed.

[0043] In the green sheet with a procedure-3 thickness of 10 micrometers - about 250 micrometers of four sheets, the hole for two or more through holes with a bore diameter of 50 micrometers - about 200 micrometers is broken. Then, the conductor which consists of a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, is embedded in the hole for these through holes, and a through hole 51 is formed in it.

[0044] the top face of the green sheet of four sheets in which procedure -4 through hole 51 was formed, and a case -- a top face and an inferior surface of tongue -- a conductor -- it prints and the wiring conductor layers M31, L32, --, L34, such as a receptacle land of a through hole 51, a circuit pattern, and a components land, and electrode M35for capacitors a, M35b, 36a, and M36b are formed. as an ingredient of the wiring conductor layers M31, L32, --, L34 at this time and electrode M35for capacitors a, M35b, 36a, and M36b, the thing of the conductor used for formation of a through hole 51 and a same system is used.

[0045] Alignment of the green sheet in which electrode M36for capacitors a, 36b, and the wiring conductor layer M33 were formed on the green sheet in which the wiring conductor layer M32 and electrode M35for capacitors a, and 35b were formed on the green sheet, the top face, and the inferior surface of tongue in which the wiring conductor layer M31 was formed on the procedure -5 top face, the green sheet with a thickness of 10 micrometers - about 100 micrometers, the top face, and the inferior surface of tongue, and the green sheet which formed the wiring conductor layer M34 in the inferior surface of tongue at the list is performed. In this way, after carrying out a green sheet with a thickness of 10 micrometers - about 100 micrometers in between, and electrode M35a for capacitors and electrode M35a for capacitors countering and making it electrode M36a for capacitors and electrode M36a for capacitors counter, it accumulates one by one. And a laminating press is performed and it is made for Ayr etc. not to

remain between each green sheet.

[0046] The green sheet of five sheets by which the laminating was carried out with a procedure-6 laminating press is cut in desired magnitude. In this way, a raw layered product is formed.

[0047] The binder which exists in each green sheet is removed pressurizing depending on the case heating the raw layered product to which the laminating of the green sheet of -75 procedures was carried out. Furthermore, this baking is performed and the green sheet of five sheets is changed to the ceramic layers L31 and L32, the dielectric layer L40 for capacitors, and the ceramic layers L33 and L34, respectively. in this way, a capacitor C31 is formed by electrode M35for capacitors a which has countered on both sides of the dielectric layer L40 for capacitors in between, and M36a, and a capacitor C32 is formed by electrode M35for capacitors b which has similarly countered on both sides of the dielectric layer L40 for capacitors in between, and M36b.

[0048] The low-temperature baking crystallized glass multilayer substrate with which the capacitors C31 and C32 as shown in drawing 17 were built in by such manufacture process is formed.

[0049] As mentioned above, although the case where a passive element was formed in the surface section and inner layer section had been explained in order to attain small and light-ization of a ceramic multilayer substrate, multilayering of such a ceramic multilayer substrate and built-in-ization of a passive element also had the motion corresponding to the formation of small lightweight of electronic equipment in recent years by miniaturizing independently the laminating mold passive element of the chip configuration mounted in a ceramic multilayer substrate. This has appeared in progress of **** better ***** of a chip size since the laminating mold passive element of a chip configuration was introduced into the commercial scene. That is, the chip size of the laminating mold passive element of a chip configuration has changed to L2.1 mmxW2.5mm from L3.2 mmxW1.6mm, L1.6 mmxW0.8mm, L1.0 mmxW0.5mm, and L0.6 mmxW0.3mm.

[0050] Hereafter, the conventional stacked capacitor and its conventional

manufacture approach of a chip configuration are explained using drawing 18 - drawing 20 . Drawing 18 - drawing 20 are process drawings for explaining the manufacture approach of the stacked capacitor of the conventional chip configuration here, respectively, and the perspective view showing two or more dielectric substrates with which drawing 18 serves as a dielectric layer, the perspective view showing the condition that the internal electrode was formed in two or more dielectric substrates, as for drawing 19 , and drawing 20 are the sectional views showing the stacked capacitor of the completed chip configuration.

[0051] As shown in drawing 20 , in the stacked capacitor of the conventional chip configuration, the internal electrodes 62a and 62b of two kinds of ***** are carrying out [the formation field] the laminating by turns, for example through the very thin tabular dielectric layer 61 with a thickness of several micrometers - about 20 micrometers. That is, the parallel pole which pinches between them the dielectric layer 61 of internal electrodes [two kinds of] 62a and 62b by which the laminating was carried out by turns, respectively is made.

[0052] In addition, although the case where the laminating of the internal electrodes 62a and 62b is carried out to 15 layers in total is illustrated, according to the capacity value demanded, a laminating is carried out also to dozens of layers in fact here. Hereafter, suppose for convenience that the laminating is carried out to n layers.

[0053] And two external electrodes 63a and 63b are formed in both the sides of a layered product on which the laminating of the internal electrodes 62a and 62b of two kinds of ***** is carried out for the formation field by turns through the dielectric layer 61, respectively, respectively, and the internal electrodes 62a and 62b which make a laminated structure are connected to two external electrodes 63a and 63b through the electrode connection material 64a and 64b between layers, respectively. That is, top internal electrode 62a is connected to external electrode 63a through electrode connection material 64between layers a, for example, and second internal electrode 62b is connected to external electrode

63b through electrode connection material 64 between layers b. Like the following, odd-numbered internal electrode 62a is connected to external electrode 63a through electrode connection material 64 between layers a, and even-numbered internal electrode 62b is connected to external electrode 63b through electrode connection material 64 between layers b.

[0054] In the stacked capacitor of such a chip configuration, the electrostatic capacity C1 of the 1st capacitor which consists of top internal electrode 62a and second internal electrode 62b whose dielectric layer 61 is pinched in between is calculated from the above-mentioned (1) formula. The electrostatic capacity C2 of the 2nd capacitor which similarly consists of second internal electrode 62b and third internal electrode 62a whose dielectric layer 61 is pinched in between is also calculated from the above-mentioned (1) formula. The same is said of the electrostatic capacity C3, --, Cn of the capacitors from the following and the 3rd to the n-th.

[0055] And since it has the structure where the such 1st - the n-th capacitor were connected to juxtaposition, as the whole stacked capacitor of a chip configuration, the electrostatic capacity C is given by the following formula.

$$C = 1 / (1/C1 + 1/C2 + 1/C3 + \dots + 1/Cn) \quad (2)$$

[0056] Here, it is usual. $C1 = C2 = C3 = \dots = Cn \quad (3)$

It comes out and, for a certain reason, is the electrostatic capacity C of the stacked capacitor of a chip configuration. $C = \epsilon_0 \text{ and } \epsilon_n - (S/t) \quad (4)$

However, ϵ_0 : Multiplier 8.854×10^{-12} (F/m)

ϵ_n : specific inductive capacity n : Product number of layers S : Electrode surface product t of internal electrodes 62a and 62b : It becomes the thickness of the dielectric layer 61 between internal electrode 62a and 62b. Therefore, the desired electrostatic capacity C is obtained by changing a several n laminating.

[0057] The chip size is divided into the type of L3.2 mmxW1.6mm, L2.1 mmxW2.5mm, L1.6 mmxW0.8mm, L1.0 mmxW0.5mm, L0.6 mmxW0.3mm, etc., and the stacked capacitor of the chip configuration by which current use is carried out is supplied. And in chip size L1.0 mmxW0.5mm, in the case of

withstand voltage 16V, B weighting with a capacity of 100000pF, or F property, about 0.5mm is realized, and the thickness of the stacked capacitor of the chip configuration is predicted to be that to which a still smaller stacked capacitor is supplied from now on.

[0058] Next, the manufacture approach of the stacked capacitor of the conventional chip configuration is explained. First, the alumina whose specific inductive capacity is eight to about ten as shown in drawing 18 , The dielectric with which AlN whose specific inductive capacity is about nine, the silicon nitride whose specific inductive capacity is about eight, or specific inductive capacity consists of a ceramic (barium titanate) system ingredient of BaTiO₃ which is about 2000 is prepared. This dielectric is sheet-ized to tabular [with a thickness of several micrometers - about 20 micrometers / very thin], it judges in a suitable dimension, and two or more dielectric substrates 61a is formed. In addition, the straight line of the shape of a grid currently drawn on dielectric substrate 61a in drawing is the cutting plane line 65 for cutting dielectric substrate 61a to a chip size at a next process.

[0059] Subsequently, as shown in drawing 19 , the conductive paste which uses screen printing for each of two or more dielectric substrates 61a, for example, becomes it from metallic conductor ingredients, such as Ag, Ag-Pt, Ag-Pd, and Pd, nickel, is printed. At this time, the field which applies a conductive paste to every dielectric substrate 61a is shifted, and two kinds of internal electrodes 62a and 62b are formed.

[0060] Then, laminate molding of dielectric substrate 61a in which internal electrode 62a is formed, and the dielectric substrate 61a in which internal electrode 62b is formed is carried out to two or more layers by turns, and they are calcinated. Then, along with the cutting plane line 65 which showed the layered product of dielectric substrate 61a to drawing 18 , it starts to a chip size, and the dielectric layer 61 in which internal electrode 62a is formed, and the dielectric layer 61 in which internal electrode 62b is formed form the layered product by which the laminating was carried out by turns. Therefore, this layered

product turns into a layered product to which the laminating of two kinds of internal electrodes 62a and 62b with which the formation field has shifted was carried out by turns through the dielectric layer 61, respectively.

[0061] Subsequently, as shown in drawing 20, the electrode connection material 64a and 64b between layers which consists of Ag, Pd, etc. is formed in the both ends of this layered product using a dip method, and while connecting the edge of all internal electrode 62a to electrode connection material 64a between layers a among two kinds of internal electrodes 62a and 62b by which the laminating is carried out by turns, the edge of all internal electrode 62b is connected to electrode connection material 64b between layers b. That is, all internal electrode 62a is connected to one through electrode connection material 64a between layers a, and all internal electrode 62b is connected to one through electrode connection material 64b between layers b.

[0062] Then, plating processing of Cu, nickel, etc. is performed to the outside of the electrode connection material 64a and 64b between layers, the solder plating processing and tinning processing for raising the soldering nature at the time of mounting in a ceramic multilayer substrate further are performed on it, and the external electrodes 63a and 63b are formed in it, respectively. In this way, the laminating of two kinds of internal electrodes 62a and 62b with which the formation field has shifted is carried out by turns through a dielectric layer 61, respectively, and the stacked capacitor of a chip configuration which the internal electrodes 62a and 62b which make these laminated structures have connected to the external electrodes 63a and 63b, respectively is formed.

[0063] Next, the conventional laminating mold inductor and its conventional manufacture approach of a chip configuration are explained using drawing 21 - drawing 23. Drawing 21 - drawing 23 are process drawings for explaining the manufacture approach of the laminating mold inductor of the conventional chip configuration here, respectively, and the perspective view showing two or more dielectric substrates with which drawing 21 serves as a dielectric layer, the perspective view showing the condition that the inner conductor layer was formed

in two or more dielectric substrates, as for drawing 22 , and drawing 23 are the perspective views showing the laminating mold inductor of the completed chip configuration.

[0064] As shown in drawing 23 , in the laminating mold inductor of the conventional chip configuration, the inner conductor layer 72 with 1 micrometer [in thickness] and a width of face of 100 micrometers and through hole 73 which consist of Cu of resistivity 1.7×10^{-8} ohm-cm are making the spiral structure of a square shape in three dimensions in the dielectric layer 71. That is, while the inner conductor layer 72 of the pattern at which it has turned at the right angle in level level is formed in two or more layers through the dielectric layer 71, the edge of the inner conductor layer 72 of the adjoining layer is connected by the perpendicular sault hole 73, and the spiral structure of a square shape is made in three dimensions as a whole.

[0065] In addition, as an ingredient of the inner conductor layer 72, a metallic conductor ingredient with low electric resistance, such as not only Cu but Ag, may be used. Moreover, although the case where the inner conductor layer 72 is carrying out the laminating to five layers here is illustrated, according to the inductance L demanded, the number of laminatings is determined in fact. And two external electrodes 74a and 74b are formed in both the sides of a layered product on which the inner conductor layer 72 and the through hole 73 are making the spiral structure of a square shape in three dimensions, respectively, and the edge of the maximum upper layer of the inner conductor layer 72 which makes three-dimensional spiral structure, and the edge of the lowest layer are connected to two external electrodes 74a and 74b, respectively.

[0066] And the inductance L of the laminating mold inductor of a chip configuration is given by the following formula.

$$L = (\mu_0 \text{ and } \iota / 2\pi) [\ln(2 \iota / \omega) + 1/2 + \omega / 3\iota] \quad (5)$$

However, μ_0 : Permeability ι of the inner conductor layer 72 : Die-length ω of the inner conductor layer 72 : Width of face of the inner conductor layer

72 [0067] Moreover, Q value $Q = 2\pi f L / R$ (6)

However, the f :frequency R: It is expressed by resistance of the inner conductor layer 72.

[0068] Next, the manufacture approach of the laminating mold inductor of the conventional chip configuration is explained. First, as shown in drawing 21, the dielectric with which the alumina whose specific inductive capacity is eight to about ten, AlN whose specific inductive capacity is about nine, and specific inductive capacity consist of ceramic system ingredients of a low dielectric constant, such as silicon nitride which is about eight, is prepared, this dielectric is sheet-ized to tabular [with a thickness of several micrometers - about 20 micrometers / very thin], it judges in a suitable dimension, and two or more dielectric substrates 71a is formed. In addition, inorganic materials, such as ferrite ingredients, such as nickel-Zn, and glass material, mica material, may be used instead of using the ceramic system ingredient of a low dielectric constant as an ingredient of dielectric substrate 71a. Moreover, the straight line of the shape of a grid currently drawn on dielectric substrate 71a in drawing is the cutting plane line 75 for cutting dielectric substrate 71a to a chip size at a next process.

[0069] Subsequently, as shown in drawing 22, the hole for through holes is broken in the position of two or more dielectric substrates 71a, the conductor which becomes a hole for these through holes from Cu is embedded, and a through hole 73 is formed. Then, the conductive paste which consists of Cu which is a metallic conductor ingredient with low electric resistance is printed using screen printing, and the inner conductor layer 72 which an edge connects to a through hole 73 is formed.

[0070] When the formation location of a through hole 73 differs from the pattern of the inner conductor layer 72 in every dielectric substrate 71a and the laminating of such dielectric substrate 71a is carried out at this time, while the through holes 73 of adjoining dielectric substrate 71a overlap, spiral structure with the three-dimensional inner conductor layer 72 of each dielectric substrate 71a connected through this overlapping through hole 73 is made. In addition, the

pattern of four kinds of inner conductor layers 72 is illustrated here.

[0071] Then, laminate molding of the dielectric substrate 71a in which the inner conductor layer 72 and the through hole 73 are formed is carried out, and it is calcinated. Then, along with the cutting plane line 75 which showed the layered product of this dielectric substrate 71a to above-mentioned drawing 21, it starts to a chip size, and the layered product of a dielectric layer 71 in which the predetermined inner conductor layer 72 and predetermined through hole 73 of a pattern are formed is formed. Therefore, in the layered product of this dielectric layer 71, spiral structure with the three-dimensional inner conductor layer 72 of each dielectric layer 71 to which the through hole 73 of the adjoining dielectric layer 71 overlapped and connected with, and was connected through this through hole 73 is made.

[0072] Subsequently, as shown in drawing 23, the external electrodes 74a and 74b are formed in the both ends of the layered product of a dielectric layer 71 which has the inner conductor layer 72 and a through hole 73 inside, respectively, and while connecting to external electrode 74a the edge of the maximum upper layer of the inner conductor layer 72 which makes three-dimensional spiral structure, the edge of the lowest layer of the inner conductor layer 72 is connected to external electrode 74b. In this way, in the interior of a dielectric layer 71, the inner conductor layer 72 and a through hole 73 form the laminating mold inductor of a chip configuration by which three-dimensional spiral structure is connected to the external electrodes 74a and 74b, respectively in the both ends of the maximum upper layer of nothing and its inner conductor layer 72, and the lowest layer.

[0073]

[Problem(s) to be Solved by the Invention] In the conventional ceramic multilayer substrate which built-in-ized the resistance elements R21 and R22 and capacitors C21 and C22 as a passive element shown in above-mentioned drawing 14 and drawing 15 For example, the lower electrode which constitutes a capacitor C22, the barrier metal layer on this lower electrode, Since screen

printing is generally used when forming the up electrode on the dielectric layer on this barrier metal layer, the barrier metal layer on this dielectric layer, and this barrier metal layer, It was difficult to form these electrodes, a resistor layer, a barrier metal layer, a dielectric layer, etc., without adding a mechanical damage and thermal stress to a green sheet. Moreover, from it being ceramic sheet metal before calcinating, the green sheet was soft and each class, immobilization or positioning of a layered product, etc. took the device to it.

[0074] Moreover, it is rare for the temperature characteristic of capacitors C21 and C22 to turn into B weighting or F property in many cases, and to become C weighting, and it is almost the case for the capacitor of B weighting or F property to enlarge the electrostatic capacity, and to use it as capacitors, such as a power circuit. It was difficult to form the capacitor of high capacity on the other hand, since the thickness which can be formed cannot be set to at least 20 micrometers - 30 micrometers or more in printing by the screen method and it is difficult to make thickness of a dielectric layer thin.

[0075] membrane formation of the dielectric layer according to a recent-years and thin film process in order to form the capacitor of high capacity and BaSrTiO₃ etc. -- adoption of a ferroelectric ingredient is made. [in addition,] However, it is known that the property of the capacitor formed using such the formation approach and dielectric materials is not so good. This is proved from the temperature characteristic, tandelta, and frequency characteristics. Therefore, a new device is needed for adoption of such the formation approach and dielectric materials.

[0076] Moreover, it sets at the baking process at the time of carrying out the laminating of the green sheet containing the green sheet in which the capacitor C22 was formed of two or more sheets, and forming a ceramic multilayer substrate. Unless a special method of construction is used, generally in the direction of X-Y from the condition of the first green sheet 10% - about 20%, Since contraction of same extent also as a Z direction arose, 0.1% - about 5% of error occurred and the variation beyond 20% - about 30% or it of desired value

generated the capacity of the capacitor after a baking process, the application as a capacitor in an electronic circuitry became what was limited.

[0077] Moreover, also in the conventional ceramic multilayer substrate which built-in-ized the inductor 50 of the spy RARARU structure of the square shape as a passive element shown in above-mentioned drawing 16 , it is difficult to form in the surface section of the ceramic multilayer section, or the inner layer section the inductor which has the big inductance L and high Q value stably.

[0078] For example, in the case of an inductor with 1 micrometer [in width of face of 100 micrometers using Cu of resistivity 1.7×10^{-8} ohm-m as an ingredient of a conductor layer, and thickness], and a die length of 10mm, the inductance L is 11.6nH extent, and the Q value in the frequency of 10MHz is about 0.4, and it is low. [of both the inductance L and Q value] Although it is necessary to lengthen the die length of a conductor layer for enlarging this inductance L, since it is difficult to form the conductor layer of the shape of a long straight line in remainder, many inductors which consist of a conductor layer of a square shape or a round spiral configuration are adopted on the circuit pattern design.

[0079] For example, in the conductor layer of the square shape of 30mm** or 30mmphi, or a round spiral configuration, an inductance L is set to about 4 microhenries, and the Q value in the frequency of 10MHz becomes about 4.5. And the more the resistivity of a conductor layer, the surface state of a substrate substrate, pattern precision, etc. influence a property greatly and become a RF in this case, the more relating with the capacity between conductor layers, it has big effect on a property. Therefore, it was difficult to form in the surface section of the ceramic multilayer section, or the inner layer section the inductor of an inductance L and the good property of having high Q value stably, and to build in a ceramic multilayer substrate.

[0080] The property that the Q value in the frequency of 10MHz becomes about 35 with the same inductance L about the inductor of such a square shape or a round spiral configuration as compared with the laminating mold inductor of the chip configuration by which current marketing is carried out is attained by the

laminating mold inductor of magnitude L1.6 mmxW0.8mm and a chip configuration with a height of 0.8mm. And a miniaturization progresses further and, as for the laminating mold inductor of a chip configuration, the type of magnitude L1.0 mmxW0.5mm or L0.6 mmxW0.3mm is realized in recently.

[0081] Moreover, when thickness of the dielectric layer L40 for capacitors is set to 50 micrometers - 100 micrometers and specific inductive capacity is set to 5-10 (it is generally five to about seven) in the conventional ceramic multilayer substrate which built-in-ized the capacitors C31 and C32 shown in above-mentioned drawing 17 , as electrostatic capacity C of capacitors C31 and C32, it is 2 1pF/mm. Only the following values are acquired.

[0082] Therefore, a layered product good from differing from the material of the section of others [contraction] in the phase which carries out a laminating press and which is calcinated even if it is possible to change into the condition of a green sheet since, as for dielectric constants differing fundamentally although the idea which is going to enlarge specific inductive capacity of the dielectric layer L40 for these capacitors, and is going to obtain the capacitor of high capacity more comes out, the presentations of an ingredient itself will differ cannot become. Moreover, in order to make thin thickness of the dielectric layer L40 for capacitors, thin-film-izing the green sheet used as the dielectric layer L40 for capacitors is also considered, but if the thickness of the green sheet used as other ceramic layers is compared and it thin-film-izes extremely, it will become difficult to carry out a laminating with the green sheet used as a ceramic layer.

[0083] Therefore, in the ceramic layered product of a coincidence baking mold, it is difficult in the present condition to carry out the laminating of the green sheet which consists of a different ingredient with different specific inductive capacity, or the green sheet thin-film-ized extremely, and to obtain the capacitor of high capacity.

[0084] As mentioned above, in the ceramic multilayer substrate which built-in-ized the passive element, there is the present condition that high-performance-izing of a passive element and highly precise-ization are not fully realizable.

Furthermore, even if the cost per passive element includes the mounting costs of the laminating mold passive element of a chip configuration in the components unit price as compared with the laminating mold passive element of a chip configuration, it is expensive. As for the laminating mold passive element of a chip configuration, the unit price is falling sharply from mounting of the latest electronic parts being a gestalt centering on a chip, and the unit price component is about estimated at about 1 yen per piece. Therefore, in the present condition, the ceramic multilayer substrate which built-in-ized the passive element has not reached the level which it is not come to adopt except for some special ceramic multilayer substrates, but transposes to the laminating mold passive element of the present chip configuration, and is adopted as it.

[0085] On the other hand, it also sets to the laminating mold inductor of the conventional chip configuration shown in the stacked capacitor and drawing 23 of the conventional chip configuration shown in drawing 20 . The mounting process which mounts the laminating mold passive element of these chip configurations on a ceramic multilayer substrate front face, and is connected with solder, electroconductive glue, a paste, etc. is the need, Since there being a limitation in the area of the surface section of a ceramic multilayer substrate which carries the laminating mold passive element of a chip configuration in that case, and small lightweight-ization of components which has progressed in recent years and rapidly are also approaching a limitation, it has the problem that small lightweight-ization more than current is in a difficult situation.

[0086] Moreover, with the part shape of the conventional chip configuration, the problem that it is becoming difficult to fully demonstrate the property needed also has a high frequency circuit in the future communication link field, a high-speed digital circuit, etc.

[0087] Then, it has been a technical problem to reduce the manufacturing cost of the ceramic multilayer substrate which both contains a passive element as if the engine performance of the passive element which builds in the multilayering for the formation of small lightweight of a ceramic multilayer substrate and built-in-

ization of a passive element, harnessing an advantage is made into the engine performance of the laminating mold passive element of a chip configuration, an EQC, or the outstanding thing beyond it.

[0088] This invention is made in view of the above-mentioned situation, and aims at offering the multilayer substrate which built-in-ized the passive element which has the engine performance of the laminating mold passive element of a chip configuration, an EQC, or the outstanding engine performance beyond it.

[0089]

[Means for Solving the Problem] The above-mentioned technical problem is attained by the multilayer substrate concerning the following this inventions. namely, the multilayer substrate with which the multilayer substrate concerning claim 1 contains a laminating mold passive element -- it is -- a through hole and wiring -- with the ceramic layer which consists of the monolayer or the two or more layers ceramic layer in which the conductor was formed The passive element substrate which contains the laminating mold passive element by which the edge of these conductor layers is connected to the through hole while adjoining this ceramic layer, being arranged and carrying out the laminating of two or more conductor layers through the dielectric layer, respectively, It is characterized by having the insulating sexual conjugation material which joins a ceramic layer and a passive element substrate mechanically, and the conductive jointing material for corrugated fibreboard which joins a ceramic layer and a passive element substrate electrically.

[0090] Thus, it sets to the multilayer substrate concerning claim 1. By joining mechanically and electrically the passive element substrate which contains a laminating mold passive element through the ceramic layer, the insulating sexual conjugation material, and the conductive jointing material for corrugated fibreboard which consist of a monolayer or a two or more layers ceramic layer It is possible to build in and form a laminating mold passive element in a passive element substrate independently of formation of a ceramic layer. Since ** can also form a laminating mold passive element in the same laminated structure

fundamentally with the laminating mold passive element of the conventional chip configuration in that case, a good property equivalent to the case where the laminating mold passive element of the conventional chip configuration is mounted in a multilayer substrate is acquired.

[0091] In addition, as a laminating mold passive element built in a passive element substrate, there are a stacked capacitor and a laminating mold inductor, for example, in addition there are a laminating mold resistance element, a laminating mold thermistor, a laminating mold LC filter, etc. here. And since a laminating mold can acquire the best property in the present condition especially in the case of a capacitor or an inductor, as compared with the multilayer substrate which contained a conventional capacitor and a conventional inductor, the property is improved by leaps and bounds.

[0092] Moreover, a through hole functions as an external electrode of the laminating mold passive element built in a passive element substrate, and since that connection wire length is shortened rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, from a laminating mold passive element being electrically connected to a ceramic layer by this through hole, when it mounts the laminating mold passive element of the conventional chip configuration in a multilayer substrate, the above good property is acquired.

[0093] Moreover, since an external electrode is not needed for the laminating mold passive element built in a passive element substrate like the laminating mold passive element of the chip configuration carried in the surface section of the conventional multilayer substrate and only the part is enabled to realize the miniaturization of a laminating mold passive element, the receipt area becomes small, and if it lengthens, possibility of making area of a multilayer substrate smaller than before arises.

[0094] Moreover, the consistency of the laminating mold passive element formed in a passive element substrate as compared with the case where the laminating mold passive element of the conventional chip configuration is carried in the

surface section of a multilayer substrate with other electronic parts, from a laminating mold passive element being built in a passive element substrate, and being formed falls sharply. For this reason, sufficient free space for a passive element substrate is generated, it becomes possible to make that free space into a power source, a gland, or the wiring area of a signal line, and electrical characteristics improve. Moreover, while it becomes possible to form many laminating mold passive elements in Haruka at a passive element substrate and electrical characteristics improve rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, the unit price per piece of a laminating mold passive element decreases. And in any case, possibility of decreasing the number of layers which carries out a laminating rather than the multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0095] Moreover, since it becomes possible to form a passive element substrate in coincidence according to the same process in case the laminating mold passive element built in a passive element substrate is formed, a process newer than the case where the laminating mold passive element of the conventional chip configuration is formed is not required, and the rise of cost is prevented.

[0096] On the contrary, since it becomes possible to form two or more laminating mold passive elements in coincidence according to the same process, and since the through hole linked to the conductor layer by which the laminating was carried out to the plurality which constitutes a laminating mold passive element becomes unnecessary [the process which forms the external electrode of the laminating mold passive element of the conventional chip configuration] from achieving the function of the external electrode of a laminating mold passive element, a process is simplified on the contrary and the fall of cost is realized.

[0097] In addition, in the multilayer substrate concerning above-mentioned claim 1, it is also possible to consider as the configuration in which the build up layer is formed on the passive element substrate. In this case, the number of the build up

layers formed on a passive element substrate may not be limited to one layer, but may be two or more layers.

[0098] moreover, the multilayer substrate with which the multilayer substrate concerning claim 3 contains a laminating mold passive element -- it is -- a through hole and wiring -- with two or more ceramic layers which consist of the monolayer or the two or more layers ceramic layer in which the conductor was formed The passive element substrate which contains the laminating mold passive element to which the conductor layer is connected by the through hole while the laminating of two or more dielectric layers in which it intervened between the ceramic layers of these plurality, and has been arranged, and the conductor layer was formed is carried out, It is characterized by having the insulating sexual conjugation material which joins mechanically two or more ceramic layers and passive element substrates, and the conductive jointing material for corrugated fibreboard which joins electrically two or more ceramic layers and passive element substrates.

[0099] Thus, it sets to the multilayer substrate concerning claim 3. Intervene among two or more ceramic layers which the passive element substrate which contains a laminating mold passive element becomes from a monolayer or a two or more layers ceramic layer, and it is arranged. By being joined mechanically and electrically through the ceramic layer, the insulating sexual conjugation material, and the conductive jointing material for corrugated fibreboard of these plurality It is possible to build in and form a laminating mold passive element in a passive element substrate independently of formation of two or more ceramic layers. Since ** can also form a laminating mold passive element in the same structure fundamentally with the laminating mold passive element of the conventional chip configuration in that case, a good property equivalent to the case where the laminating mold passive element of the conventional chip configuration is mounted in a multilayer substrate is acquired like the case of the multilayer substrate concerning above-mentioned claim 1.

[0100] Moreover, since a laminating mold passive element is electrically

connected to a ceramic layer like the case of the multilayer substrate concerning above-mentioned claim 1 by the through hole which functions as an external electrode, Rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, the connection wire length is shortened and the good property more than before is acquired. Moreover, since the miniaturization of a laminating mold passive element is realized without needing an external electrode like the laminating mold passive element of the conventional chip configuration, Since the consistency of the laminating mold passive element which possibility of making area of a multilayer substrate smaller than before arises, and is formed in a passive element substrate falls sharply if the receipt area becomes small and lengthens, Become possible to make free space into a power source, a gland, or the wiring area of a signal line, and electrical characteristics improve. While it becomes possible to form many laminating mold passive elements in Haruka conventionally at a passive element substrate and electrical characteristics improve, the unit price per piece of a laminating mold passive element decreases. Since a laminating mold passive element and a passive element substrate are enabled for possibility of decreasing the number of layers which carries out a laminating rather than the multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried to arise, and to form a passive element substrate in coincidence according to the same process, Since the process which forms the external electrode of the laminating mold passive element of the conventional chip configuration becomes unnecessary while becoming possible to prevent the rise of cost and to form two or more laminating mold passive elements in coincidence according to the same process, without requiring a new process, A process is simplified and the fall of cost is realized.

[0101] Furthermore, since it becomes possible to arrange freely the passive element substrate which contains the passive element substrate which contains a laminating mold passive element intervening among two or more ceramic

layers to a laminating mold passive element in the location of the arbitration of the inner layer section of a multilayer substrate, improvement in the circuit property by the optimal arrangement according to the property of a laminating mold passive element is achieved.

[0102] In addition, in the multilayer substrate concerning above-mentioned claim 1 or 3, it is possible to build two or more laminating mold passive elements of the same class in a passive element substrate. For example, only the number required for a passive element substrate may form only a stacked capacitor, and only the number required for a passive element substrate may form only a laminating mold inductor.

[0103] Moreover, two or more laminating mold passive elements of a class which is different in a passive element substrate are able to be built in. For example, a passive element substrate may be made intermingled and two or more stacked capacitors and two or more laminating mold inductors may be formed.

Furthermore, in addition to this, a laminating mold resistance element, a laminating mold thermistor, a laminating mold LC filter, etc. may be made intermingled, and you may form.

[0104] Moreover, a power source, a gland, or a signal line may be intermingled and formed in a passive element substrate with a laminating mold passive element. In this case, while the electrical characteristics as the whole multilayer substrate improve, possibility of decreasing that number of layers that carries out a laminating rather than the multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0105] In addition, it is suitable for the ceramic layer which constitutes two or more ceramic layers which can be set to the multilayer substrate concerning the ceramic layer which constitutes the ceramic layer in the multilayer substrate concerning claim 1, or claim 3 to calcinate and form a green sheet made from an alumina, a glass ceramic, AlN and SiN (silicon nitride), zirconiums, or these mixtures.

[0106] Moreover, in the multilayer substrate concerning above-mentioned claim 1

or 3, it is suitable that a ceramic system ingredient, glass material, mica material, ferrite material, or an organic material is used as an ingredient of the dielectric layer which constitutes a laminating mold passive element.

[0107] Moreover, in the multilayer substrate concerning above-mentioned claim 1 or 3, it is suitable as insulating sexual conjugation material that low-temperature melting point glass, polyimide, an epoxy resin or an alumina, a glass ceramic, AlN and SiN, zirconiums, or these mixtures are used.

[0108] Moreover, in the multilayer substrate concerning above-mentioned claim 1 or 3, it is suitable as a conductive jointing material for corrugated fibreboard that Cu, Ag, an Ag-Pt alloy, an Ag-Pd alloy, Mo, W, or these mixtures are used.

[0109]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to an accompanying drawing.

(1st operation gestalt) Drawing 1 is the outline sectional view showing the ceramic multilayer substrate having the stacked capacitor concerning the 1st operation gestalt of this invention, drawing 2 is the sectional view showing the stacked capacitor built in the ceramic multilayer substrate of drawing 1, and drawing 3 is an outline perspective view for explaining the structure of the stacked capacitor of drawing 2.

[0110] As shown in drawing 1, the laminating of the four-layer ceramic layers L1, L2, --, L4 which consist of a ceramic system ingredient is carried out to order, and they constitute the ceramic multilayer section B. And two or more wiring conductor layers M1, M2, --, M5 are formed between the ceramic layer L3 and L4 and in ceramic layer L4 inferior surface of tongue between the ceramic layer L2 and L3, respectively between the ceramic layer L1 top face, the ceramic layer L1, and L2. Moreover, two or more through holes 11 connected to the wiring conductor layers M1, M2, --, M5, respectively are formed in these ceramic layers L1, L2, --, L4.

[0111] Moreover, on the ceramic layer L1 of the maximum upper layer of this ceramic multilayer section B, the passive element substrate 13 having two or

more stacked capacitors 12 is formed. And as shown in drawing 2 and drawing 3 , the internal electrodes 15a and 15b of two kinds of ***** come for a formation field to carry out the laminating of this stacked capacitor 12 by turns through the very thin tabular dielectric layer 14 with a thickness of several micrometers - about 20 micrometers. In addition, although the case where a laminating is carried out to ten layers is illustrated, according to the electrostatic capacity C demanded, a laminating is carried out also to dozens of layers in fact here.

[0112] Moreover, on both sides of the internal electrodes 15a and 15b by which the laminating was carried out by turns, two kinds of through holes 16a and 16b which function as an external electrode are established in the both ends, and the internal electrodes 15a and 15b which make a laminated structure to these two kinds of through holes 16a and 16b are connected to each. That is, top internal electrode 15a is connected to one through hole 16a, second internal electrode 15b is connected to through hole 16b of another side, like the following, odd-numbered internal electrode 15a is connected to through hole 16a, and even-numbered internal electrode 15b is connected to through hole 16b, for example. In addition, the usual through hole 17 is also formed in the passive element substrate 13.

[0113] Moreover, the wiring conductor layers M6 and M7 which connect with through holes 16a, 16b, and 17, respectively are formed in the top face and inferior surface of tongue of the passive element substrate 13 which build in such a stacked capacitor 12.

[0114] Moreover, the ceramic multilayer section B and the passive element substrate 13 are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19. That is, between the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B, and the passive element substrate 13, the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 are arranged at a position, and intervene. And while the

ceramic layer L1 and the passive element substrate 13 of the ceramic multilayer section B are mechanically joined by the insulating sexual conjugation material 18, the wiring conductor layer M1 of ceramic layer L1 top face and the wiring conductor layer M7 of passive element substrate 13 inferior surface of tongue are electrically joined with the conductive jointing material for corrugated fibreboard 19.

[0115] Moreover, on the passive element substrate 13, the build up layer 20 with a thickness of several micrometers - about 100 micrometers is formed. And two or more through holes 21 connected to the wiring conductor layer M6 of passive element substrate 13 top face, respectively are formed in this build up layer 20. Moreover, the wiring conductor layer M8 which connects, respectively is formed in the through hole 21 of these plurality on the build up layer 20 top face.

[0116] Next, the ingredient used for each element which constitutes the ceramic multilayer substrate and stacked capacitor 12 which are shown in above-mentioned drawing 1 - drawing 3 is explained. As the ceramic layers L1 and L2 which constitute the ceramic multilayer section B, and an ingredient of --L4, ceramic system ingredients, such as AlN, high purity alumina, a glass ceramic, or a zirconia, are used, for example. Moreover, as an ingredient of the wiring conductor layers M1, M2, --, M8 and through holes 11, 16a, 16b, 17, and 21, a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, are used, for example.

[0117] moreover, the alumina whose specific inductive capacity is eight to about ten as a dielectric layer 14 of a stacked capacitor 12, AlN whose specific inductive capacity is about nine, SiN whose specific inductive capacity is about eight, or BaTiO₃ whose specific inductive capacity is about 2000 etc. -- a ceramic system ingredient is used. This is also the substrate ingredient of the passive element substrate 13 at coincidence. Moreover, as internal electrodes 15a and 15b of a stacked capacitor 12, the conductive paste which consists of metallic conductor ingredients, such as Ag, Ag-Pt, Ag-Pd, and nickel, for example is used.

[0118] Moreover, the insulating paste which consists of low-temperature melting

glass, such as spin-on glass which consists of alkoxide silane alcohol etc., for example, as insulating sexual conjugation material 18 is used. In addition, the insulating paste which kneaded polyimide, epoxy system resin, and the same ceramic ingredient as the above-mentioned ceramic layers L1, L2, --, L4 in water or alcohol may be used. In addition, in using the insulating paste which consists of glass material as this insulating sexual conjugation material 18, there are advantages -- that the mechanical junction force between the ceramic multilayer section B and the passive element substrate 13 is very strong, that the airtight of a connection is held, and a coefficient of thermal expansion comparable as crystallized glass is easy to be obtained.

[0119] Moreover, since it is suitable for the conductive jointing material for corrugated fibreboard 19 to choose the wiring conductor layers M1, M2, --, M8 and through holes 11, 16a, 16b, 17, and 21 which serve as an electric candidate for connection fundamentally, and a conductor material of the same kind, the conductive paste which kneaded a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, in solvents, such as alcohol, is used.

[0120] Moreover, as an ingredient of the build up layer 20, inorganic materials, such as organic materials, such as polyimide and epoxy system resin, and glass ceramics, are used, for example.

[0121] Next, the manufacture process of the ceramic multilayer substrate having the stacked capacitor shown in drawing 1 is explained using drawing 4 - drawing 7 . Here, drawing 4 - drawing 7 are the process sectional views for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1 , respectively.

[0122] First, the ceramic multilayer section B which constitutes the ceramic multilayer substrate of drawing 1 is formed. That is, as shown in drawing 4 (b), the green sheet of four sheets which consists of ceramic system ingredients, such as AlN with 50 micrometers - about 250 micrometers [in thickness] and an in every direction dimension of 50 micrometers - about 200 micrometers, high purity alumina, a glass ceramic, or a zirconia, is formed, using the same

approach as usual.

[0123] Then, the hole for two or more through holes with a bore diameter of 50 micrometers - about 200 micrometers is broken in the green sheet of these four sheets. In addition, as law, the approach using the approach by the drill, the approach by metal mold, or laser etc. is used like the usual case at hole down for through holes. Then, the conductor which consists of a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, is embedded in the hole for these through holes, and a through hole 11 is formed in it. In addition, as an approach of embedding a conductor in the hole for through holes, screen printing is used like the usual case.

[0124] then, the conductor used for formation of a through hole 11 on the top face or top face, and inferior surface of tongue of the green sheet green sheet of these four sheets and the conductor of a same system -- the wiring conductor layers M1, M2, --, M5, such as a receptacle land of a through hole 11, a circuit pattern, and a components land, are formed by printing, respectively.

[0125] Then, after carrying out alignment of the green sheet of four sheets, it accumulates one by one, and after performing a laminating press so that Ayr etc. may not remain between each green sheet, it cuts in desired magnitude. And the green sheet of these four sheets by which the laminating was carried out is heated, and it pressurizes depending on the case, and baking is performed and let the green sheets of four sheets by which the laminating was carried out be the four-layer ceramic layers L1, L2, --, L4, after removing the binder which exists in a green sheet. In addition, the burning temperature at this time is set as 1000-1300 degrees C, when made from AlN, high purity alumina, etc., and when made from a glass ceramic etc., it is set up before and after 900 degrees C. In this way, the four-layer ceramic layers L1, L2, --, L4 form the ceramic multilayer section B by which the laminating was carried out.

[0126] Subsequently, as shown in drawing 4 (a), the passive element substrate 13 having two or more stacked capacitors 12 is formed. namely, the case of the former explained using above-mentioned drawing 18 - drawing 19 -- the same --

carrying out -- for example, an alumina, AlN, silicon nitride, or BaTiO₃ etc. -- the dielectric which consists of a ceramic system ingredient is prepared, this dielectric is sheet-ized to tabular [with a thickness of several micrometers - about 20 micrometers / very thin], it judges in a suitable dimension, and two or more dielectric substrates are formed. And the conductive paste which uses screen printing for each of two or more of these dielectric substrates, for example, becomes it from metallic conductor ingredients, such as Ag, Ag-Pt, Ag-Pd, and nickel, is printed. At this time, the field which applies a conductive paste for every dielectric substrate is shifted like the case where it is shown in above-mentioned drawing 19 , and two kinds of internal electrodes 15a and 15b are formed. In addition, as an approach of forming internal electrodes 15a and 15b, a sputter and a CVD method may be used instead of the above-mentioned screen printing. [0127] Then, it calcinates, after carrying out laminate molding of two kinds of dielectric substrates with which the formation field of internal electrodes 15a and 15b shifted by turns. Then, it does not cut into a chip size like [in the case of producing the stacked capacitor of the conventional chip configuration], but it cuts into the size made equivalent to the magnitude of the ceramic multilayer section B, and the passive element substrate 13 which is the layered product of a dielectric layer 14 is formed. Therefore, in two or more places, the laminating of two kinds of internal electrodes 15a and 15b with which the formation field has shifted is carried out to this passive element substrate 13 by turns through the dielectric layer 14, respectively.

[0128] Then, through holes 16a, 16b, and 17 are formed in the position of this passive element substrate 13. At this time, through holes 16a and 16b are located in those both ends on both sides of the internal electrodes 15a and 15b by which the laminating is carried out by turns through the dielectric layer 14, and the internal electrodes 15a and 15b which make this laminated structure connect them by turns, respectively. That is, in the laminated structure of the internal electrodes 15a and 15b with which the formation field shifted, internal electrode of odd layers 15a was connected to through hole 16a, and internal electrode of

even layers 15b is connected to through hole 16b.

[0129] In this way, the laminating of the internal electrodes 15a and 15b is carried out by turns through a dielectric layer 14, respectively, the internal electrodes 15a and 15b which make these laminated structures connect with each in through holes 16a and 16b, and these through holes 16a and 16b build two or more stacked capacitors 12 which achieve the function of an external electrode in the passive element substrate 13, and form them. Then, the wiring conductor layers M6 and M7 linked to through holes 16a, 16b, and 17 are formed in the top face and inferior surface of tongue of the passive element substrate 13, respectively.

[0130] Subsequently, mechanical and electric connection between the ceramic multilayer section B and the passive element substrate 13 is made. That is, as shown in drawing 5, by approaches, such as printing, opening to which the predetermined wiring conductor layer M1 is exposed is prepared in ceramic layer L1 top face of the maximum upper layer of the ceramic multilayer section B, and the insulating sexual conjugation material 18 is formed in it. The insulating paste which specifically consists of low-temperature melting glass, such as spin-on glass which consists of alkoxide silane alcohol etc., is applied.

[0131] Then, similarly, by approaches, such as printing and potting, opening of the insulating sexual conjugation material 18 in ceramic layer L1 top face is connected to the wiring conductor layer M1 which exposed the conductive jointing material for corrugated fibreboard 19, and it forms in it. Specifically, the conductive paste which kneaded a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, using solvents, such as alcohol, is applied.

[0132] In addition, as for concrete selection of the ingredient of such the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19, it is desirable to carry out by taking into consideration the heat treatment temperature in the following connection process, the coefficient of thermal expansion in that case, etc. Moreover, it is suitable to choose the wiring conductor layer M1 which serves as an electric candidate for connection fundamentally, M7 grade, and a conductor material of the same kind

as an ingredient of the conductive jointing material for corrugated fibreboard 19. [0133] Subsequently, as shown in drawing 6, the laminating of the ceramic multilayer section B and the passive element substrate 13 is arranged and carried out to a position. And while heating and fusing at 400 degrees C - about 500 degrees C, the conductive jointing material for corrugated fibreboard 19 which consists of a conductive paste which does not have conductivity is made to electric-conduction-ize the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 in the condition [having applied]. In this way, while joining mechanically the ceramic layer L1 and the passive element substrate 13 of the maximum upper layer of the ceramic multilayer section B by the insulating sexual conjugation material 18 made to intervene among both, it joins electrically with the conductive jointing material for corrugated fibreboard 19 which made the wiring conductor layer M1 of ceramic layer L1 top face, and the wiring conductor layer M7 of passive element substrate 13 inferior surface of tongue intervene among both. Moreover, coincidence is pressurized and the mechanical and electric junction is made [homogeneity and] firm.

[0134] Subsequently, as shown in drawing 7, the build up layer 20 is formed on the passive element substrate 13. That is, after applying to passive element substrate 13 top face by the lamination of a printing, spin coat, and sheet-like ingredient etc., it is made to harden by the exposure of heat curing, UV, etc., when using organic materials, such as polyimide and epoxy system resin, for example. Moreover, when using inorganic materials, such as glass ceramics, it calcinates and solidifies, after applying paste-like glass to passive element substrate 13 top face by printing etc. In this way, the build up layer 20 is formed on the passive element substrate 13.

[0135] Then, opening of the hole for two or more through holes is carried out to the build up layer 20 with laser etc., a conductor is embedded using plating, spreading of conductive paste, a spatter, etc., and two or more through holes 21 connected to the wiring conductor layer M6 currently formed in passive element

substrate 13 top face, respectively are formed in the hole for these through holes. [0136] Moreover, printing of a conductor layer, plating, a spatter, etc. are performed on the build up layer 20 top face, and the wiring conductor layers M8, such as a receptacle land of a through hole 21, a circuit pattern, and a components land, are formed in it.

[0137] Thus, the ceramic multilayer substrate having the stacked capacitor 12 shown in above-mentioned drawing 1 is produced.

[0138] According to this operation gestalt, as mentioned above independently of formation of the ceramic multilayer section B Build two or more stacked capacitors 12 of the same structure in the passive element substrate 13 fundamentally with the stacked capacitor of the conventional chip configuration, and it forms. After that this passive element substrate 13 by having joined mechanically and electrically through the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 on the ceramic multilayer section B A good property equivalent to the property of the stacked capacitor of the chip configuration mounted in the conventional ceramic multilayer substrate as a property of two or more stacked capacitors 12 built in the ceramic multilayer substrate can be acquired. Furthermore, internal electrode 15a which makes the laminated structure of a stacked capacitor 12 at this time, The through holes 16a and 16b which connect 15b to each function as the so-called external electrode. By having connected with the wiring conductor layer M1 of the through hole 21 of the build up layer 20, or the ceramic multilayer section B through the wiring conductor layers M6 and M7 currently formed in the top face and inferior surface of tongue of the passive element substrate 13 Since the connection wire length is shortened rather than the case where the stacked capacitor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the good property of the more than which is the former can be acquired.

[0139] Moreover, since the external electrode of the stacked capacitor of the conventional chip configuration is not needed for the stacked capacitor 12 built in

the passive element substrate 13 and only the part can realize the miniaturization of a component, the receipt area becomes small, and if it lengthens, it becomes possible to make area of a ceramic multilayer substrate smaller than before.

[0140] Moreover, since it becomes possible to form the stacked capacitor 12 of many numbers in Haruka at the passive element substrate 12 rather than the case where the stacked capacitor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the electrical characteristics as the whole can be raised. Moreover, the unit price per piece of a stacked capacitor 12 can be reduced. Moreover, possibility of decreasing the number of layers which carries out a laminating rather than the ceramic multilayer substrate which mounts the stacked capacitor of the conventional chip configuration arises.

[0141] Moreover, since the passive element substrate 13 is formed in coincidence according to the same process in case the stacked capacitor 12 built in the passive element substrate 13 is formed, even if it compares with the case where the stacked capacitor of the conventional chip configuration is formed, a new process cannot be required and the rise of cost can be prevented. On the contrary, from forming two or more stacked capacitors 12 in coincidence according to the same process, and the process which forms the external electrode of the stacked capacitor of the conventional chip configuration becoming unnecessary, a process is simplified on the contrary and the fall of cost can be realized.

[0142] In addition, in the ceramic multilayer substrate concerning the operation gestalt of the above 1st, although the case where two or more stacked capacitors 12 are built in and formed in the passive element substrate 13 is described, it is possible not only two or more stacked capacitors 12 but to build in and form the laminating mold passive element from which a class differs. For example, with two or more stacked capacitors 12, two or more laminating mold inductors may be made intermingled, and you may form. Furthermore, in addition to this, a laminating mold resistance element, a laminating mold thermistor, a laminating mold LC filter, etc. may be made intermingled, and you may form. And by this,

while being able to raise the electrical characteristics as the whole, possibility of decreasing that number of layers that carries out a laminating rather than the ceramic multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0143] Moreover, when two or more stacked capacitors 12 are built in and formed in the passive element substrate 13, even if it is the case where make the laminating mold passive element of other classes intermingled, and it forms with further two or more stacked capacitors 12, the consistency of the laminating mold passive element formed in the passive element substrate 12 as compared with the case where the laminating mold passive element of the conventional chip configuration is carried in a ceramic multilayer substrate with other electronic parts falls sharply. For this reason, it becomes possible to make that free space into a power source, a gland, or the wiring area of a signal line. And also by this, while being able to raise the electrical characteristics as the whole, possibility of decreasing that number of layers that carries out a laminating rather than the ceramic multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0144] Moreover, although the case where the build up layer 20 is formed in the ceramic multilayer substrate concerning the operation gestalt of the above 1st on the passive element substrate 13 having two or more stacked capacitors 12 is explained This build up layer 20 may not be indispensable, and may be only the structure where the passive element substrate 13 which contains two or more stacked capacitors 12 on the ceramic multilayer section B is joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19. Moreover, conversely, only one layer of build up layers 20 may not be formed on the passive element substrate 13, but it may be formed in two or more layers.

[0145] (2nd operation gestalt) Drawing 8 is the outline sectional view showing the ceramic multilayer substrate having the stacked capacitor concerning the 2nd operation gestalt of this invention. In addition, to the same element as the

component of the ceramic multilayer substrate shown in drawing 1 of the operation gestalt of the above 1st - drawing 3 , explanation is omitted using the same sign.

[0146] In the operation gestalt of the above 1st, the passive element substrate 13 having two or more stacked capacitors 12 is formed on the ceramic multilayer section B to which the laminating of the ceramic layers L1, L2, --, L4 was carried out. While both are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 As opposed to the build up layer 20 being formed on this passive element substrate 13 this operation gestalt The passive element substrate having two or more stacked capacitors intervenes among two or more ceramic multilayer sections, and the description is in the point that the ceramic multilayer section and the passive element substrate of these plurality are joined mechanically and electrically with insulating sexual conjugation material and a conductive jointing material for corrugated fibreboard.

[0147] As shown in drawing 8 , the laminating of the four-layer ceramic layers L1, L2, --, L4 which consist of a ceramic system ingredient is carried out to order, and they constitute the ceramic multilayer section B1. And two or more wiring conductor layers M1, M2, --, M5 are formed between the ceramic layer L3 and L4 and in ceramic layer L4 inferior surface of tongue between the ceramic layer L2 and L3, respectively between the ceramic layer L1 top face, the ceramic layer L1, and L2. Moreover, two or more through holes 11 connected to the wiring conductor layers M1, M2, --, M5, respectively are formed in these ceramic layers L1, L2, --, L4.

[0148] Moreover, on the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B1, the passive element substrate 13 having two or more stacked capacitors 12 is formed. This stacked capacitor 12 minds the very thin tabular dielectric layer 14 with a thickness of several micrometers - about 20 micrometers like the case where it is shown in drawing 2 and drawing 3 of an operation gestalt of the above 1st. The internal electrodes 15a and 15b with

which the internal electrodes 15a and 15b of two kinds of ***** come to carry out a laminating by turns, and a formation field makes this laminated structure are connected to two kinds of through holes 16a and 16b which function as an external electrode, respectively. And the wiring conductor layers M6 and M7 linked to the through holes 16a and 16b and through hole 17 which are formed in the passive element substrate 13 are formed in the top face and inferior surface of tongue of the passive element substrate 13 which build in such a stacked capacitor 12.

[0149] Moreover, on this passive element substrate 13, the laminating of the two-layer ceramic layer L5 which consists of a ceramic system ingredient, and L6 is carried out, and they constitute ceramic multilayer section B-2. And two or more wiring conductor layers M9, M10, and M11 are formed between the ceramic layer L5 top face, the ceramic layer L5, and L6 and in a ceramic layer L6 inferior surface of tongue, respectively. Moreover, two or more through holes 22 connected to the wiring conductor layers M9, M10, and M11, respectively are formed in the ceramic layer L5 two-layer [these] and L6.

[0150] Moreover, the ceramic multilayer section B1 and these [ceramic multilayer section B-2 and] two ceramic multilayer sections B1, and the passive element substrate 13 that intervenes between B-2s are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19, respectively. That is, between the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B1, and the passive element substrate 13, and between the passive element substrate 13 and ceramic layer L6 of the lowest layer of ceramic multilayer section B-2, the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 are arranged at a position, and intervene, respectively. And the ceramic layer L1 and the passive element substrate 13 of the ceramic multilayer section B1 are mechanically joined by the insulating sexual conjugation material 18. While the wiring conductor layer M1 of ceramic layer L1 top face and M7 of passive element substrate 13 inferior

surface of tongue are electrically joined with the conductive jointing material for corrugated fibreboard 19. The passive element substrate 13 and ceramic layer L6 of ceramic multilayer section B-2 are mechanically joined by the insulating sexual conjugation material 18, and the wiring conductor layer M11 of the M6 and the ceramic layer L6 inferior surface of tongue of passive element substrate 13 top face is electrically joined with the conductive jointing material for corrugated fibreboard 19.

[0151] Next, the ingredient used for each element which constitutes the ceramic multilayer substrate and stacked capacitor 12 which are shown in above-mentioned drawing 8 is explained. However, what was already explained in the operation gestalt of the above 1st omits.

[0152] as the ingredient of the ceramic layer L5 which constitutes ceramic multilayer section B-2, and L6 -- the ceramic layers L1 and L2 of the ceramic multilayer section B1, and -- like L4, it is alike and ceramic system ingredients, such as AlN, high purity alumina, a glass ceramic, or a zirconia, are used. Moreover, a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, are used for the ingredient of the wiring conductor layers M9, M10, and M11 and a through hole 22 like the wiring conductor layers M1, M2, --, M7 and through holes 11, 16a, 16b, and 17.

[0153] Next, the manufacture process of the ceramic multilayer substrate having the stacked capacitor shown in drawing 8 is explained using drawing 9 - drawing 11. Here, drawing 9 - drawing 11 are the process sectional views for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1, respectively.

[0154] First, the ceramic multilayer section B1 which constitutes the ceramic multilayer substrate of drawing 8 is formed like the case where it is shown in drawing 4 (b) of the operation gestalt of the above 1st. As shown in drawing 9 (c), namely, for example, AlN, high purity alumina, The hole for two or more through holes is broken in the green sheet of four sheets which consists of ceramic system ingredient SU, such as a glass ceramic or a zirconia. In the hole for these

through holes, for example, Cu, Ag, Ag-Pt, Ag-Pd, Embed the conductor which consists of a simple substance or mixtures, such as W and Mo, and a through hole 11 is formed. Furthermore, the wiring conductor layers M1, M2, --, M5, such as a receptacle land of a through hole 11, a circuit pattern, and a components land, are formed in the top face or top face, and inferior surface of tongue of the green sheet green sheet of these four sheets, respectively. Then, after carrying out alignment of the green sheet of these four sheets, it accumulates one by one, and a laminating press is performed, and it cuts in desired magnitude, heats further, and pressurizes depending on the case, and baking is performed and let the green sheets of four sheets by which the laminating was carried out be the four-layer ceramic layers L1, L2, --, L4, after removing the binder which exists in a green sheet. In this way, the these four layers ceramic layers L1, L2, --, L4 form the ceramic multilayer section B1 by which the laminating was carried out to order.

[0155] Moreover, like the case where the ceramic multilayer section B1 by which the laminating of these four-layer ceramic layers L1, L2, --, L4 was carried out to order is formed, as shown in drawing 9 (a), the two-layer ceramic layer L5 which consists of AlN, high purity alumina, a glass ceramic, or a zirconia, and L6 form ceramic multilayer section B-2 by which the laminating was carried out to order.

[0156] Subsequently, the passive element substrate 13 which contains two or more stacked capacitors 12 as shown in drawing 9 (b) like the case where it is shown in drawing 4 (a) of the operation gestalt of the above 1st is formed.

namely, an alumina, AlN, silicon nitride, or BaTiO₃ The dielectric which consists of a ceramic system ingredient is sheet-ized to tabular [with a thickness of several micrometers - about 20 micrometers / very thin]. etc. -- For every dielectric substrate, shift a spreading field and the conductive paste which becomes two or more dielectric substrates cut out and formed in the suitable dimension from metallic conductor ingredients, such as Ag, Ag-Pt, Ag-Pd, and nickel, is printed. After forming two kinds of internal electrodes 15a and 15b with which the formation field shifted for every dielectric substrate, Laminate molding

of two kinds of dielectric substrates with which the formation field of these internal electrodes 15a and 15b shifted is carried out by turns, they are calcinated further, it cuts into the ceramic multilayer section B1 and the size made equivalent to the magnitude of B-2, and the passive element substrate 13 which is the layered product of a dielectric layer 14 is formed. Then, through holes 16a, 16b, and 17 are formed in the position of this passive element substrate 13. In this way, the laminating of the internal electrodes 15a and 15b of two or more layers is carried out by turns through a dielectric layer 14, respectively, the internal electrodes 15a and 15b which make these laminated structures connect with each in through holes 16a and 16b, and these through holes 16a and 16b build the stacked capacitor 12 which achieves the function of an external electrode in the passive element substrate 13, and form it. Then, the wiring conductor layers M6 and M7 linked to through holes 16a and 16b are further formed in the top face and inferior surface of tongue of the passive element substrate 13, respectively.

[0157] Subsequently, mechanical and electric connection between the ceramic multilayer section B1, the passive element substrate 13, and ceramic multilayer section B-2 is made. That is, as shown in drawing 10, after preparing opening to which the predetermined wiring conductor layer M1 is exposed in ceramic layer L1 top face of the maximum upper layer of the ceramic multilayer section B1 and forming the insulating sexual conjugation material 18 in it, it is made to connect with the wiring conductor layer M1 which exposed the conductive jointing material for corrugated fibreboard 19 to opening of the insulating sexual conjugation material 18 in ceramic layer L1 top face similarly, and forms. Similarly, after preparing opening to which the predetermined wiring conductor layer M11 is exposed in the ceramic layer L6 inferior surface of tongue of the lowest layer of ceramic multilayer section B-2 and forming the insulating sexual conjugation material 18 in it, it is made to connect with the wiring conductor layer M11 which exposed the conductive jointing material for corrugated fibreboard 19 to opening of the insulating sexual conjugation material 18 in a ceramic layer L6

inferior surface of tongue, and forms in it.

[0158] Subsequently, as shown in drawing 11, while arranging the ceramic multilayer section B1, the passive element substrate 13, and ceramic multilayer section B-2 with a position, carrying out a laminating to order and carrying out heating fusion of the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19, the conductive jointing material for corrugated fibreboard 19 which consists of a conductive paste which does not have conductivity is made to electric-conduction-ize in the condition [having applied]. In this way, the passive element substrate 13 pinched by the ceramic multilayer section B1 and the ceramic multilayer section B-2 list between the both ceramic multilayer section B1 and B-2 is joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 which were made to intervene between each.

Namely, while joining mechanically by the insulating sexual conjugation material 18 which made the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B1, the passive element substrate 13, and ceramic layer L6 of the lowest layer of ceramic multilayer section B-2 intervene in between, respectively It joins electrically with the conductive jointing material for corrugated fibreboard 19 between which the wiring conductor layer M1 of ceramic layer L1 top face and the wiring conductor layer M7 of passive element substrate 13 inferior surface of tongue were made to be placed between them. It joins electrically with the conductive jointing material for corrugated fibreboard 19 between which the wiring conductor layer M6 of passive element substrate 13 top face and the wiring conductor layer M11 under ceramic layer L6 were made to be placed between them. Moreover, coincidence is pressurized and the mechanical and electric junction is made [homogeneity and] firm.

[0159] Thus, the ceramic multilayer substrate having the stacked capacitor 12 shown in above-mentioned drawing 8 is produced.

[0160] According to this operation gestalt, as mentioned above independently of formation of the ceramic multilayer section B1 and B-2 Build two or more stacked

capacitors 12 of the same structure in the passive element substrate 13 fundamentally with the stacked capacitor of the conventional chip configuration, and it forms. By having made this passive element substrate 13 intervene between the ceramic multilayer section B1 and B-2, and having joined mechanically and electrically after that, through the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 A good property equivalent to the property of the stacked capacitor of the chip configuration mounted in the conventional ceramic multilayer substrate like the case of the operation gestalt of the above 1st as a property of two or more stacked capacitors 12 built in the ceramic multilayer substrate can be acquired. Furthermore, internal electrode 15a which makes the laminated structure of a stacked capacitor 12 at this time, The through holes 16a and 16b which connect 15b to each function as the so-called external electrode. By having connected with the ceramic multilayer section B1 and the wiring conductor layers M1 and M11 of B-2 through the wiring conductor layers M6 and M7 currently formed in the top face and inferior surface of tongue of the passive element substrate 13 Since the connection wire length is shortened rather than the case where the stacked capacitor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the good property of the more than which is the former can be acquired.

[0161] Moreover, since only the part which does not need the external electrode of the stacked capacitor of the conventional chip configuration for the stacked capacitor 12 built in the passive element substrate 13 like the case of the operation gestalt of the above 1st can realize the miniaturization of a component, the receipt area becomes small, and if it lengthens, it becomes possible to make area of a ceramic multilayer substrate smaller than before. Moreover, since it becomes possible to form the stacked capacitor 12 of many numbers in Haruka at the passive element substrate 13 rather than the case where the stacked capacitor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the electrical characteristics as the whole can be raised, the

unit price per piece of a stacked capacitor 12 can be reduced, and possibility of decreasing the number of layers which carries out a laminating rather than the ceramic multilayer substrate which mounts the stacked capacitor of the conventional chip configuration arises. Moreover, in case the stacked capacitor 12 built in the passive element substrate 13 is formed, in order to form the passive element substrate 13 in coincidence according to the same process, A new process is not required even if it compares with the case where the stacked capacitor of the conventional chip configuration is formed. It not only can prevent the rise of cost, but it forms two or more stacked capacitors 12 in coincidence according to the same process conversely, Moreover, from the process which forms the external electrode of the stacked capacitor of the conventional chip configuration becoming unnecessary, a process is simplified on the contrary and the fall of cost can be realized.

[0162] In addition, in the ceramic multilayer substrate concerning the operation gestalt of the above 2nd, although the case where two or more stacked capacitors 12 are built in and formed in the passive element substrate 13 is described, two or more laminating mold inductors, a laminating mold resistance element, a laminating mold thermistor, a laminating mold LC filter, etc. may be made intermingled, and you may form with the laminating mold passive element 12 from which not only two or more stacked capacitors 12 but a class differs, for example, two or more stacked capacitors. Moreover, since the consistency of the laminating mold passive element formed in the passive element substrate 13 as compared with the case where the laminating mold passive element of the conventional chip configuration is carried in a ceramic multilayer substrate with other electronic parts falls sharply, it becomes possible [making the free space into a power source, a gland, or the wiring area of a signal line]. And by such thing, while being able to raise the electrical characteristics as the whole, possibility of decreasing the number of layers which carries out a laminating rather than the ceramic multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0163] Moreover, it sets to the ceramic multilayer substrate concerning the operation gestalt of the above 2nd. Although the passive element substrate 13 having two or more stacked capacitors 12 was made to intervene between the ceramic multilayer section B1 and ceramic multilayer section B-2 and these 3 person is joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 A ceramic multilayer substrate is classified into further three or more ceramic multilayer sections B1, B-2, and B3 --. The three or more [these] ceramic multilayer sections B1, B-2, the laminating mold passive element from which the passive element substrate 13 having the stacked capacitor 12 of the plurality [between / each] of B3 -- and a class differ, for example, two or more laminating mold inductors, the laminating mold resistance element, the laminating mold thermistor, the laminating mold LC filter, etc. are built in -- passive element substrate mediation may be carried out. And the electrical characteristics as the whole can be further raised by such thing.

[0164] (3rd operation gestalt) Drawing 12 is the outline sectional view showing the ceramic multilayer substrate which contained the laminating mold inductor concerning the 3rd operation gestalt of this invention. In addition, to the same element as the component of the ceramic multilayer substrate shown in drawing 1 of the operation gestalt of the above 1st, explanation is omitted using the same sign.

[0165] In the operation gestalt of the above 1st, the passive element substrate 13 having two or more stacked capacitors 12 is formed on the ceramic multilayer section B to which the laminating of the ceramic layers L1, L2, --, L4 was carried out. While both are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 As opposed to the build up layer 20 being formed on this passive element substrate 13 this operation gestalt While the passive element which builds in two or more laminating mold inductors is joined to the ceramic multilayer section B mechanically and electrically instead of the passive element substrate

13 having two or more stacked capacitors 12 The description is in the point that the build up layer 20 is formed on this passive element substrate.

[0166] As shown in drawing 12 , the laminating of the four-layer ceramic layers L1, L2, --, L4 which consist of a ceramic system ingredient is carried out to order, and they constitute the ceramic multilayer section B. And two or more wiring conductor layers M1, M2, --, M5 are formed between the ceramic layer L3 and L4 and in ceramic layer L4 inferior surface of tongue between the ceramic layer L2 and L3, respectively between the ceramic layer L1 top face, the ceramic layer L1, and L2. Moreover, two or more through holes 11 connected to the wiring conductor layers M1, M2, --, M5, respectively are formed in these ceramic layers L1, L2, --, L4.

[0167] Moreover, on the ceramic layer L1 of the maximum upper layer of this ceramic multilayer section B, the passive element substrate 24 which contains two or more laminating mold inductors 23 is formed. As this laminating mold inductor 23 is shown in drawing 13 , the inner conductor layer 26 with 1 micrometer [in thickness] and a width of face of 100 micrometers and through hole 27 which consist of Cu of resistivity 1.7×10^{-8} ohm-cm are making the spiral structure of a square shape in three dimensions in the dielectric layer 25. That is, while the inner conductor layer 26 at which it has turned at the right angle in level level is formed in two or more layers through the dielectric layer 25, the edge of the inner conductor layer 26 of the adjoining layer is connected by the perpendicular sault hole 27, and the spiral structure of a square shape is made in three dimensions as a whole. In addition, although the case where the inner conductor layer 26 is carrying out the laminating to five layers is illustrated, according to the inductance L demanded, the number of laminatings is determined in fact here.

[0168] Moreover, two kinds of through holes 28a and 28b which function on the passive element substrate 24 as an external electrode of the laminating mold inductor 23 are formed, through hole 28a of one of these is connected to the edge by the side of the topmost part of the inner conductor layer 26 which is

making the spiral structure of a square shape in three dimensions, and through hole 28b of another side is connected to the edge by the side of the bottom of the inner conductor layer 26. Moreover, the wiring conductor layers M12 and M13 which connect with the through holes 28a and 18b of the laminating mold inductor 23, respectively are formed in the top face and inferior surface of tongue of the passive element substrate 24 which build in such a laminating mold inductor 23.

[0169] Moreover, the ceramic multilayer section B and the passive element substrate 24 are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19. That is, between the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B, and the passive element substrate 24, the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 are arranged at a position, and intervene. And while the ceramic layer L1 and the passive element substrate 24 of the ceramic multilayer section B are mechanically joined by the insulating sexual conjugation material 18, the wiring conductor layer M1 of ceramic layer L1 top face and M7 of passive element substrate 24 inferior surface of tongue are electrically joined with the conductive jointing material for corrugated fibreboard 19.

[0170] Moreover, the build up layer 20 is formed on the passive element substrate 24. And two or more through holes 21 connected to the wiring conductor layer M12 of passive element substrate 24 top face, respectively are formed in this build up layer 20. Moreover, the wiring conductor layer M8 which connects, respectively is formed in the through hole 21 of these plurality on the build up layer 20 top face.

[0171] Next, the ingredient used for each element which constitutes the ceramic multilayer substrate shown in above-mentioned drawing 12 and the laminating mold inductor 23 is explained. However, what was already explained in the operation gestalt of the above 1st omits.

[0172] As an ingredient of the inner conductor layer 26 of the laminating mold

inductor 23, Cu of resistivity $1.7 \times 10^{-8} \text{ ohm cm}$ is used as mentioned above. Moreover, it is suitable to use the same ingredient also for the through hole 27 which connects this inner conductor layer 26.

[0173] Moreover, in order to reduce the capacity between the inner conductor layers 26 which are making the spiral structure of a square shape in three dimensions as a dielectric layer 25 of the laminating mold inductor 23, an ingredient with a low dielectric constant, for example, the ceramic system ingredient of a dielectric constant, is used. This is also the substrate ingredient of the passive element substrate 24 at coincidence. In addition, inorganic materials, such as ferrite ingredients, such as nickel-Zn, and glass material, mica material, may be used instead of using the ceramic system ingredient of a low dielectric constant.

[0174] Moreover, as an ingredient of the wiring conductor layers M12 and M13 and through holes 28a and 28b, a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, are used like the wiring conductor layers M1, M2, --, M8 and through holes 11 and 21.

[0175] Next, the manufacture process of the ceramic multilayer substrate which contained the laminating mold inductor 23 shown in drawing 12 and drawing 13 is explained. In addition, the process which is common in the case of the operation gestalt of the above 1st omits the detailed explanation.

[0176] First, the ceramic multilayer section B which constitutes the ceramic multilayer substrate of drawing 12 is formed according to the completely same process as the case where it is shown in drawing 4 (b) of the operation gestalt of the above 1st. Namely, the hole for two or more through holes is broken in the green sheet of four sheets which consists of ceramic system ingredient SU, such as AlN, high purity alumina, a glass ceramic, or a zirconia, for example. In the hole for these through holes, for example, Cu, Ag, Ag-Pt, Ag-Pd, Embed the conductor which consists of a simple substance or mixtures, such as W and Mo, and a through hole 11 is formed. Furthermore, the wiring conductor layers M1, M2, --, M5, such as a receptacle land of a through hole 11, a circuit pattern, and

a components land, are formed in the top face or top face, and inferior surface of tongue of the green sheet green sheet of these four sheets, respectively. Then, after carrying out alignment of the green sheet of these four sheets, it accumulates one by one, and a laminating press is performed, and it cuts in desired magnitude, heats further, and pressurizes depending on the case, and baking is performed and let the green sheets of four sheets by which the laminating was carried out be the four-layer ceramic layers L1, L2, --, L4, after removing the binder which exists in a green sheet. In this way, the four-layer ceramic layers L1, L2, --, L4 form the ceramic multilayer section B by which the laminating was carried out to order.

[0177] Subsequently, the passive element substrate 24 which contains two or more laminating mold inductors 23 is formed. Namely, it is made to be the same as that of the case of the former explained using above-mentioned drawing 21 - drawing 22 . For example, two or more dielectric substrates of the shape of a very thin sheet with a thickness of several micrometers - about 20 micrometers it is thin from ceramic system ingredients of a low dielectric constant, such as an alumina, AlN, silicon nitride, or crystallized glass, are prepared. After judging in a suitable dimension, the hole for two or more through holes is broken, the conductor which becomes a hole for these through holes from Cu is embedded, and a through hole 27 is formed. Furthermore, using screen printing, the conductive paste which consists of Cu is printed and an edge forms the inner conductor layer 26 linked to a through hole 27 in the each.

[0178] In addition, as shown in above-mentioned drawing 22 , when forming two or more kinds of dielectric substrates into which the formation location of a through hole 27 and the formation pattern of the inner conductor layer 26 were changed for every dielectric substrate and carrying out the laminating of the dielectric substrate of these two or more classes to behind at this time, the spiral configuration of a square shape with the three-dimensional inner conductor layer 26 which makes overlap and a laminated structure between the dielectric substrates with which the through hole 27 of the edge of the inner conductor

layer 26 adjoins is made. Moreover, in case the inner conductor layer 26 is formed, a sputter and a CVD method may be used instead of screen printing. [0179] Then, it calcinates, after carrying out laminate molding of two or more kinds of dielectric substrates with which the formation location of a through hole 27 differs from the formation pattern of the inner conductor layer 26. Then, it does not cut into a chip size like [in the case of producing the laminating mold inductor of the conventional chip configuration], but cuts into the size made equivalent to the magnitude of the ceramic multilayer section B, and the passive element substrate 24 which is the layered product of a dielectric layer 25 is formed from the layered product of a dielectric substrate.

[0180] Then, through holes 28a and 28b are formed in the position of this passive element substrate 24. At this time, through holes 28a and 28b are located in those both ends on both sides of the inner conductor layer 26 currently formed in the inner layer section of the passive element substrate 24, and are connected to the edge by the side of the topmost part of this inner conductor layer 26 that is making the spiral structure of a square shape in three dimensions, and the edge by the side of the bottom, respectively.

[0181] In this way, the laminating of the two or more layers inner conductor layer 26 is carried out through a dielectric layer 25. The edge of the inner conductor layer 26 of the adjoining layer is perpendicularly connected by the through hole 27. Furthermore, it connects with the through holes 28a and 28b which function as an external electrode, respectively, and the edge by the side of the topmost part of this inner conductor layer 26 and the edge by the side of the bottom build the laminating mold inductor 23 which makes the spiral structure of a square shape in three dimensions as a whole in the passive element substrate 24, and form it.

[0182] Then, the wiring conductor layers M12 and M13 linked to through holes 28a and 28b are formed in the top face and inferior surface of tongue of the passive element substrate 24, respectively.

[0183] Subsequently, mechanical and electric connection between the ceramic

multilayer section B and the passive element substrate 24 is made like the case where mechanical and electric connection between the ceramic multilayer section B and the passive element substrate 13 is made in the operation gestalt of the above 1st. That is, after preparing opening to which the predetermined wiring conductor layer M1 is exposed in ceramic layer L1 top face of the maximum upper layer of the ceramic multilayer section B and forming the insulating sexual conjugation material 18 in it, it is made to connect with the wiring conductor layer M1 which exposed the conductive jointing material for corrugated fibreboard 19 to opening of the insulating sexual conjugation material 18 in ceramic layer L1 top face similarly, and forms.

[0184] Then, while arranging and carrying out the laminating of the ceramic multilayer section B and the passive element substrate 24 to a position and carrying out heating fusion of the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19, the conductive jointing material for corrugated fibreboard 19 which consists of a conductive paste is made to electric-conduction-ize. In this way, while joining mechanically the ceramic layer L1 and the passive element substrate 24 of the maximum upper layer of the ceramic multilayer section B by the insulating sexual conjugation material 18 made to intervene among both, it joins electrically with the conductive jointing material for corrugated fibreboard 19 which made the wiring conductor layer M1 of ceramic layer L1 top face, and the wiring conductor layer M11 of passive element substrate 24 inferior surface of tongue intervene among both. Moreover, coincidence is pressurized and the mechanical and electric junction is made [homogeneity and] firm.

[0185] Subsequently, the build up layer 20 is formed on the passive element substrate 24 like the case where the build up layer 20 is formed on the passive element substrate 13 in the operation gestalt of the above 1st. And two or more through holes 21 connected to the wiring conductor layer M12 currently formed in passive element substrate 24 top face, respectively are formed, and the wiring conductor layers M8, such as a receptacle land of these through holes 21, a

circuit pattern, and a components land, are formed further.

[0186] Thus, the ceramic multilayer substrate which contained the laminating mold inductor 23 shown in above-mentioned drawing 12 is produced.

[0187] According to this operation gestalt, as mentioned above independently of formation of the ceramic multilayer section B Build two or more laminating mold inductors 23 of the same structure in the passive element substrate 24 fundamentally with the laminating mold inductor of the conventional chip configuration, and it forms. After that this passive element substrate 24 by having joined mechanically and electrically through the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 on the ceramic multilayer section B A good property equivalent to the property of the laminating mold inductor of the chip configuration mounted in the conventional ceramic multilayer substrate as a property of two or more laminating mold inductors 23 built in the ceramic multilayer substrate can be acquired.

Furthermore, through hole 28a connected to the edge by the side of the topmost part of the inner conductor layer 26 which makes the three-dimensional square shape spiral structure of the laminating mold inductor 23, and the bottom, respectively at this time, When 28b functioned as the so-called external electrode and has connected with the wiring conductor layer M1 of the through hole 21 of the build up layer 20, or the ceramic multilayer section B through the wiring conductor layers M12 and M13 currently formed in the top face and inferior surface of tongue of the passive element substrate 24 Since the connection wire length is shortened rather than the case where the laminating mold inductor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the good property of the more than which is the former can be acquired.

[0188] Moreover, since the external electrode of the laminating mold inductor of the conventional chip configuration is not needed and only the part can realize the miniaturization of a component, the receipt area becomes small, and if it lengthens, it becomes possible to make area of a ceramic multilayer substrate smaller than before at the laminating mold inductor 23 built in the passive

element substrate 24.

[0189] Moreover, since it becomes possible to form the laminating mold inductor 23 of many numbers in Haruka at the passive element substrate 24 rather than the case where the laminating mold inductor of the conventional chip configuration is mounted in a ceramic multilayer substrate, the electrical characteristics as the whole can be raised. Moreover, the unit price per piece of the laminating mold inductor 23 can be reduced. Moreover, possibility of decreasing the number of layers which carries out a laminating rather than the ceramic multilayer substrate which mounts the laminating mold inductor of the conventional chip configuration arises.

[0190] Moreover, since the passive element substrate 24 is formed in coincidence according to the same process in case the laminating mold inductor 23 built in the passive element substrate 24 is formed, even if it compares with the case where the laminating mold inductor of the conventional chip configuration is formed, a new process cannot be required and the rise of cost can be prevented. On the contrary, from forming two or more laminating mold inductors 23 in coincidence according to the same process, and the process which forms the external electrode of the laminating mold inductor of the conventional chip configuration becoming unnecessary, a process is simplified on the contrary and the fall of cost can be realized.

[0191] In addition, in the ceramic multilayer substrate concerning the operation gestalt of the above 3rd, although the case where two or more laminating mold inductors 23 are built in and formed in the passive element substrate 24 is described, it is possible not only two or more laminating mold inductors 23 but to build in and form the laminating mold passive element from which a class differs. For example, with two or more laminating mold inductors 23, two or more laminating mold conductors may be made intermingled, and you may form. Furthermore, in addition to this, a laminating mold resistance element, a laminating mold thermistor, a laminating mold LC filter, etc. may be made intermingled, and you may form. And by this, while being able to raise the

electrical characteristics as the whole, possibility of decreasing that number of layers that carries out a laminating rather than the ceramic multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0192] Moreover, when two or more laminating mold inductors 23 are built in and formed in the passive element substrate 24, even if it is the case where make the laminating mold passive element of other classes intermingled, and it forms with further two or more laminating mold inductors 23, the consistency of the laminating mold passive element formed in the passive element substrate 24 as compared with the case where the laminating mold passive element of the conventional chip configuration is carried in a ceramic multilayer substrate with other electronic parts falls sharply. For this reason, it becomes possible to make that free space into a power source, a gland, or the wiring area of a signal line. And also by this, while being able to raise the electrical characteristics as the whole, possibility of decreasing that number of layers that carries out a laminating rather than the ceramic multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0193] Moreover, although the case where the build up layer 20 is formed in the ceramic multilayer substrate concerning the operation gestalt of the above 3rd on the passive element substrate 24 which contains two or more laminating mold inductors 23 is explained This build up layer 20 may not be indispensable, and may be only the structure where the passive element substrate 24 which contains two or more laminating mold inductors 23 on the ceramic multilayer section B is joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19. Moreover, conversely, only one layer of build up layers 20 may not be formed on the passive element substrate 24, but it may be formed in two or more layers.

[0194]

[Effect of the Invention] As mentioned above, according to the multilayer

substrate concerning this invention, the following effectiveness can be done so as explained to the detail. Namely, according to the multilayer substrate concerning claim 1, the passive element substrate which contains a laminating mold passive element is mechanical through the ceramic layer, the insulating sexual conjugation material, and the conductive jointing material for corrugated fibreboard which consist of a monolayer or a two or more layers ceramic layer. By being joined electrically, independently of formation of a ceramic layer The laminating mold passive element built in a passive element substrate, for example, a stacked capacitor, There is a laminating mold inductor. In addition, a laminating mold resistance element, a laminating mold thermistor, Since it becomes possible to form a laminating mold LC filter etc. and ** is also enabled to form a laminating mold passive element in the same structure fundamentally with the laminating mold passive element of the conventional chip configuration in that case, A good property equivalent to the case where the laminating mold passive element of the conventional chip configuration is mounted in a multilayer substrate can be acquired.

[0195] Moreover, a through hole functions as an external electrode of the laminating mold passive element built in a passive element substrate, and since that connection wire length is shortened rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, from a laminating mold passive element being electrically connected to a ceramic layer by this through hole, when it mounts the laminating mold passive element of the conventional chip configuration in a multilayer substrate, the above good property can be acquired.

[0196] Moreover, since an external electrode is not needed for the laminating mold passive element built in a passive element substrate like the laminating mold passive element of the chip configuration carried in the surface section of the conventional multilayer substrate and only the part can realize the miniaturization of a laminating mold passive element, the receipt area becomes small, and if it lengthens, it becomes possible to make area of a multilayer

substrate smaller than before.

[0197] Moreover, the consistency of the laminating mold passive element formed in a passive element substrate as compared with the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate with other electronic parts, from a laminating mold passive element being built in a passive element substrate, and being formed falls sharply, and since it becomes possible to make the free space into a power source, a gland, or the wiring area of a signal line, electrical characteristics can be raised. Moreover, while being able to become possible to form many laminating mold passive elements in Haruka at a passive element substrate and being able to raise electrical characteristics rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, the unit price per piece of a laminating mold passive element can be reduced. Moreover, possibility of decreasing the number of layers which carries out a laminating rather than the multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried arises.

[0198] Moreover, since it becomes possible to form a passive element substrate in coincidence according to the same process in case the laminating mold passive element built in a passive element substrate is formed, a process newer than the case where the laminating mold passive element of the conventional chip configuration is formed cannot be required, and the rise of cost can be prevented. On the contrary, since it becomes possible to form two or more laminating mold passive elements in coincidence according to the same process, and since the through hole linked to the conductor layer by which the laminating was carried out to the plurality which constitutes a laminating mold passive element becomes unnecessary [the process which forms the external electrode of the laminating mold passive element of the conventional chip configuration] from achieving the function of the external electrode of a laminating mold passive element, a process is simplified on the contrary and the fall of cost can realize.

[0199] Moreover, according to the multilayer substrate concerning claim 3, intervene among two or more ceramic layers which the passive element substrate which contains a laminating mold passive element becomes from a monolayer or a two or more layers ceramic layer, and it is arranged. By being joined mechanically and electrically through the ceramic layer, the insulating sexual conjugation material, and the conductive jointing material for corrugated fibreboard of these plurality It becomes possible to form the laminating mold passive element built in a passive element substrate independently of formation of two or more ceramic layers. Since ** is also enabled to form a laminating mold passive element in the same structure fundamentally with the laminating mold passive element of the conventional chip configuration in that case, A good property equivalent to the case where the laminating mold passive element of the conventional chip configuration is mounted in a multilayer substrate can be acquired like the case of the multilayer substrate concerning above-mentioned claim 1.

[0200] Moreover, since a laminating mold passive element is electrically connected to a ceramic layer like the case of the multilayer substrate concerning above-mentioned claim 1 by the through hole which functions as an external electrode, Rather than the case where the laminating mold passive element of the conventional chip configuration is carried in the surface section of a multilayer substrate, the connection wire length is shortened and the good property more than before can be acquired. Moreover, since the miniaturization of a laminating mold passive element is realized without needing an external electrode like the laminating mold passive element of the conventional chip configuration, Since the receipt area becomes small, and the consistency of the laminating mold passive element which it becomes possible to make area of a multilayer substrate smaller than before, and is formed in a passive element substrate falls sharply if it lengthens, It can become possible to make free space into a power source, a gland, or the wiring area of a signal line, and electrical characteristics can be raised. Moreover, while being able to become possible to form many

laminating mold passive elements in Haruka conventionally at a passive element substrate and being able to raise electrical characteristics, the unit price per piece of a laminating mold passive element can be reduced. It becomes possible to decrease the number of layers which carries out a laminating rather than the multilayer substrate in which the laminating mold passive element of the conventional chip configuration is carried. Moreover, since a laminating mold passive element and a passive element substrate are enabled to form a passive element substrate in coincidence according to the same process, The rise of cost can be prevented without requiring a new process, since the process which forms the external electrode of the laminating mold passive element of the conventional chip configuration becomes unnecessary, a process is simplified and the fall of cost can be realized.

[0201] Furthermore, since it becomes possible to arrange freely in the location of the arbitration of the inner layer section of the passive element substrate which contains a laminating mold passive element intervening among two or more ceramic layers to a multilayer substrate, the optimal arrangement according to the property of a laminating mold passive element can be carried out, and a circuit property can be raised.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view showing the ceramic multilayer substrate having the stacked capacitor concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the sectional view showing the stacked capacitor built in the ceramic multilayer substrate of drawing 1 .

[Drawing 3] It is an outline perspective view for explaining the structure of the stacked capacitor of drawing 2 .

[Drawing 4] It is a process sectional view (the 1) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1 .

[Drawing 5] It is a process sectional view (the 2) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1 .

[Drawing 6] It is a process sectional view (the 3) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1 .

[Drawing 7] It is a process sectional view (the 4) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 1 .

[Drawing 8] It is the outline sectional view showing the ceramic multilayer substrate having the stacked capacitor concerning the 2nd operation gestalt of this invention.

[Drawing 9] It is a process sectional view (the 1) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 8 .

[Drawing 10] It is a process sectional view (the 2) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of

drawing 8 .

[Drawing 11] It is a process sectional view (the 3) for explaining the manufacture process of the ceramic multilayer substrate having the stacked capacitor of drawing 8 .

[Drawing 12] It is the outline sectional view showing the ceramic multilayer substrate which contained the laminating mold inductor concerning the 3rd operation stage of this invention.

[Drawing 13] It is the outline perspective view showing the laminating mold inductor built in the ceramic multilayer substrate of drawing 12 .

[Drawing 14] It is the sectional view showing the ceramic multilayer substrate which built-in-ized the conventional passive element.

[Drawing 15] It is a sectional view for explaining the capacitor built in the ceramic multilayer substrate of drawing 14 .

[Drawing 16] It is the top view showing the inductor of the spiral configuration of the square shape built in the conventional ceramic multilayer substrate.

[Drawing 17] It is the outline sectional view showing the conventional ceramic multilayer substrate which built-in-ized the capacitor of small capacity comparatively.

[Drawing 18] It is process drawing (the 1) for explaining the manufacture approach of the multilayer capacitor of the conventional chip mold, and is the perspective view showing two or more dielectric substrates used as a dielectric layer.

[Drawing 19] It is process drawing (the 2) for explaining the manufacture approach of the multilayer capacitor of the conventional chip mold, and is the perspective view showing the condition that the internal electrode was formed in two or more dielectric substrates.

[Drawing 20] It is process drawing (the 3) for explaining the manufacture approach of the multilayer capacitor of the conventional chip mold, and is the sectional view showing the multilayer capacitor of the completed chip mold.

[Drawing 21] It is process drawing (the 1) for explaining the manufacture

approach of the laminating inductor of the conventional chip mold, and is the perspective view showing two or more dielectric substrates used as a dielectric layer.

[Drawing 22] It is process drawing (the 2) for explaining the manufacture approach of the laminating inductor of the conventional chip mold, and is the perspective view showing the condition that the inner conductor layer was formed in two or more dielectric substrates.

[Drawing 23] It is process drawing (the 3) for explaining the manufacture approach of the laminating inductor of the conventional chip mold, and is the perspective view showing the laminating inductor of the completed chip mold.

[Description of Notations]

L1, L2, --, L4;L5, an L6:ceramic layer and B;B1, B-2 : A ceramic layer, M1, M2, --, M5;M6, M7;M8;M9, M10, M11;M12, M13 : A wiring conductor layer, 11;16a, 16b, 17;21;22;27;28a, 28b : A through hole, 12: -- a stacked capacitor, 13, 24:passive element substrate, 14, 25:dielectric layer, 15a, a 15b:internal electrode, and 18: - - insulating sexual conjugation material, 19:conductivity jointing material for corrugated fibreboard, 20:build up layer, 23:laminating mold inductor, and 26:inner conductor layer.

[Translation done.]

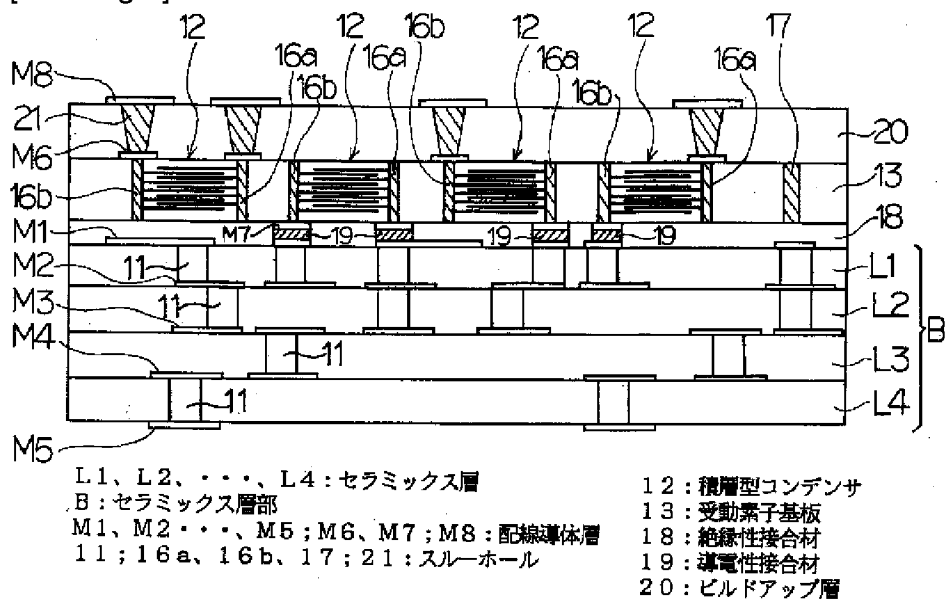
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

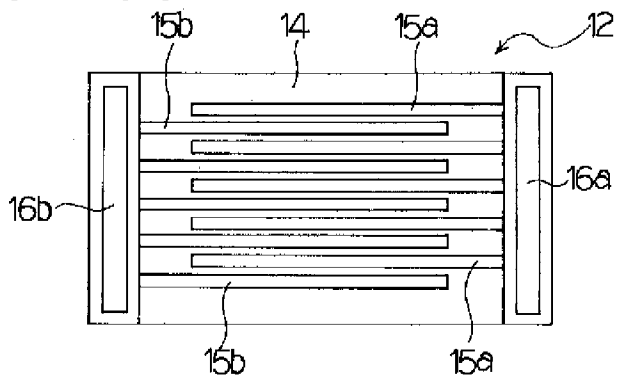
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DRAWINGS

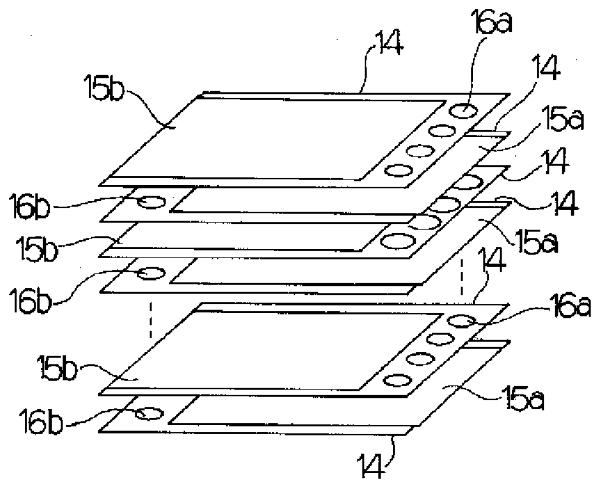
[Drawing 1]



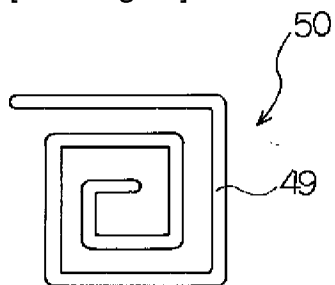
[Drawing 2]



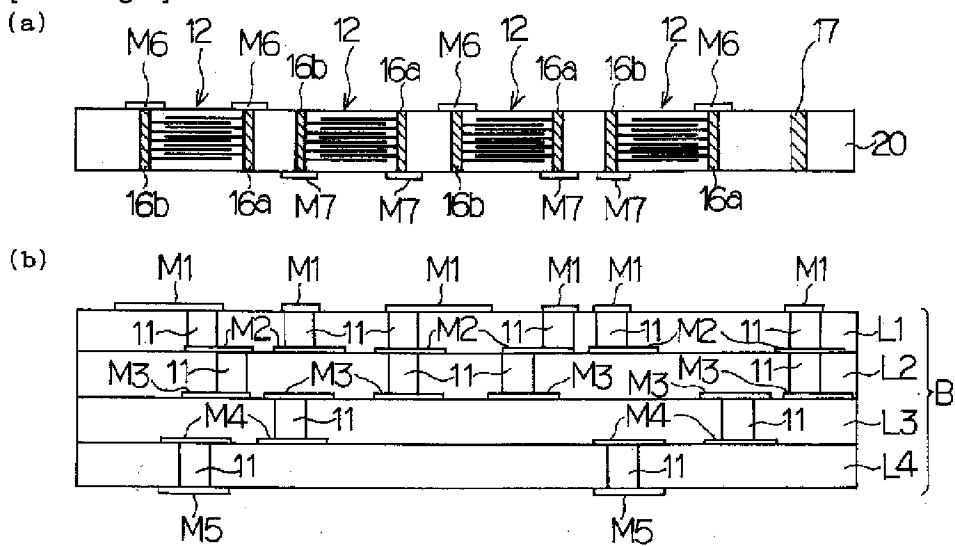
[Drawing 3]



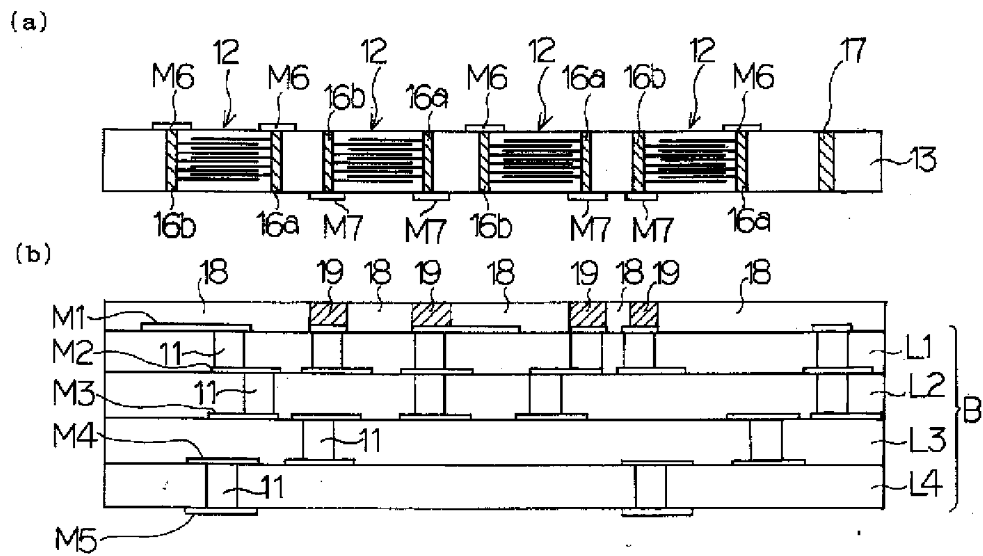
[Drawing 16]



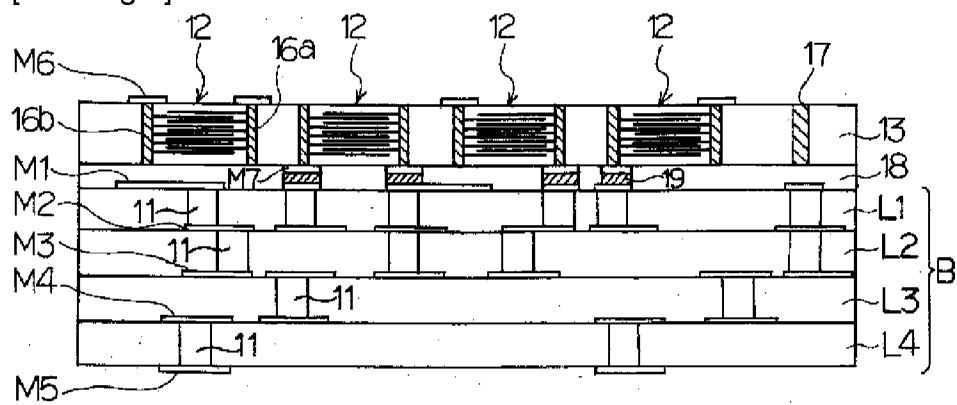
[Drawing 4]



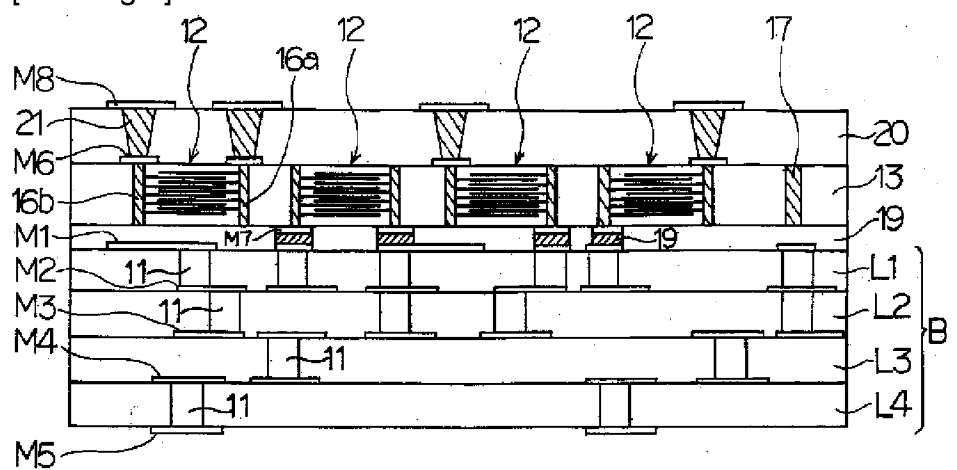
[Drawing 5]

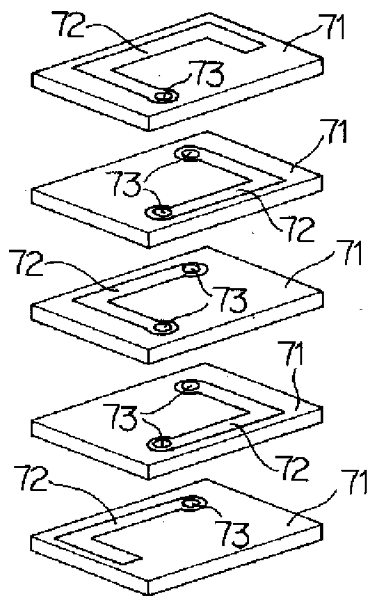


[Drawing 6]



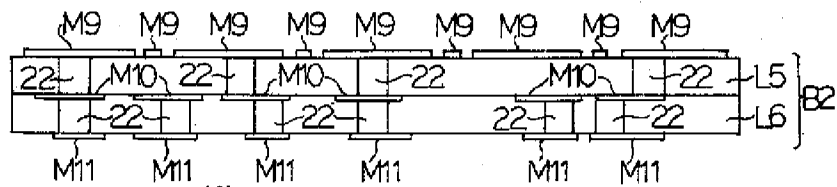
[Drawing 7]



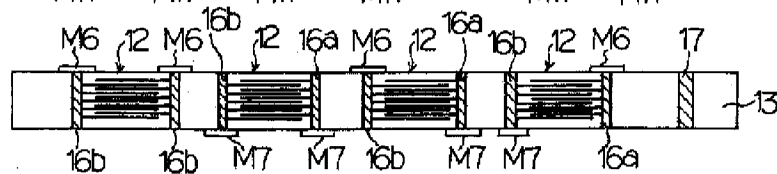


[Drawing 9]

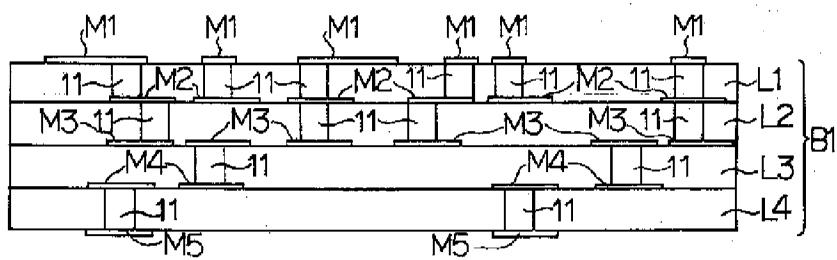
(a)



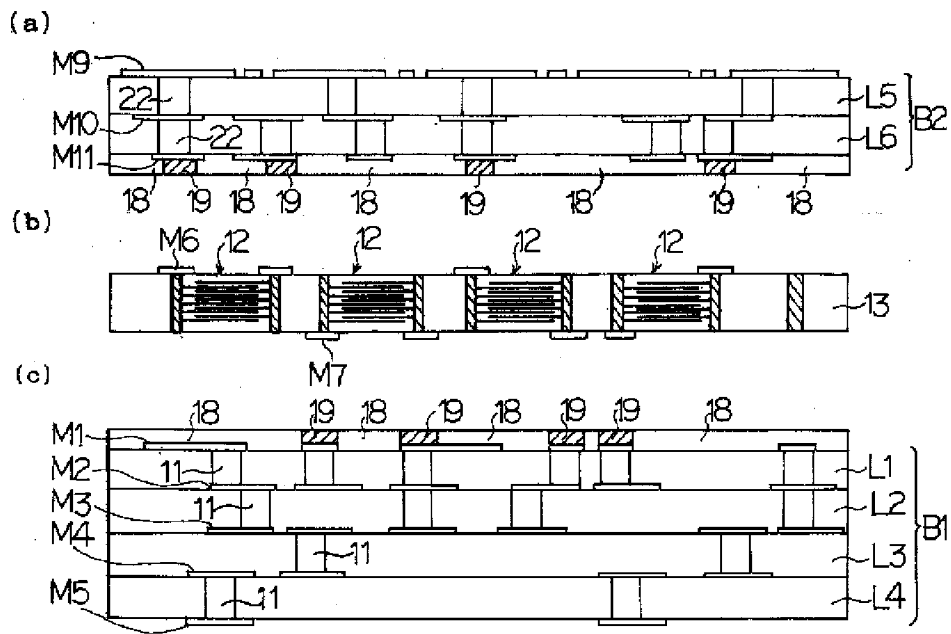
(b)



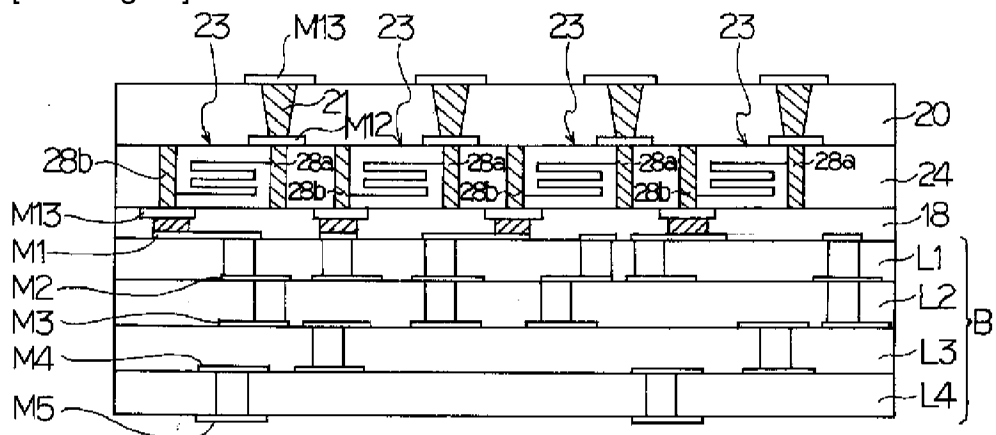
(c)



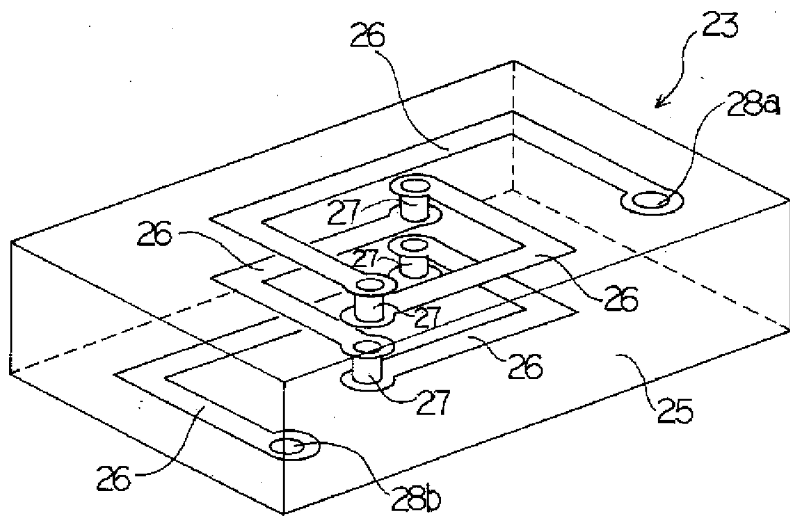
[Drawing 10]



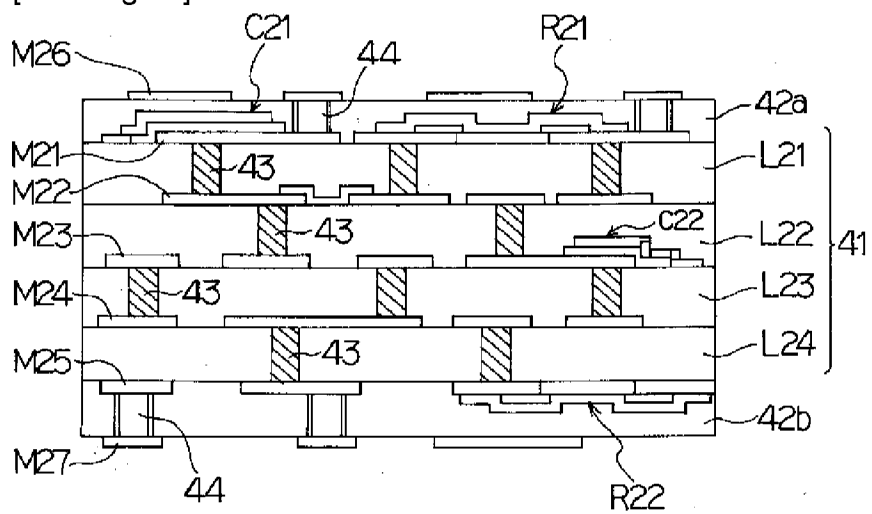
[Drawing 12]



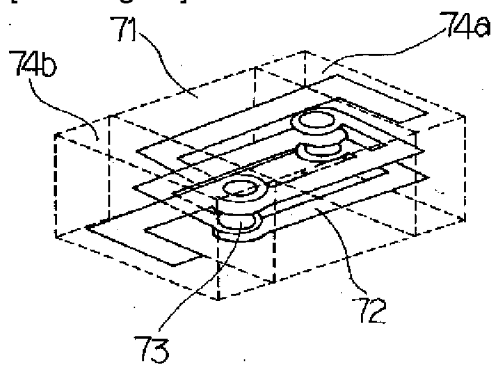
[Drawing 13]



[Drawing 14]

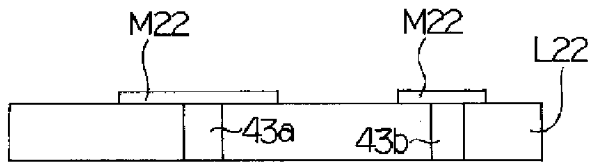


[Drawing 23]

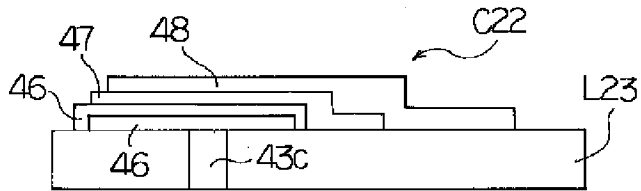


[Drawing 15]

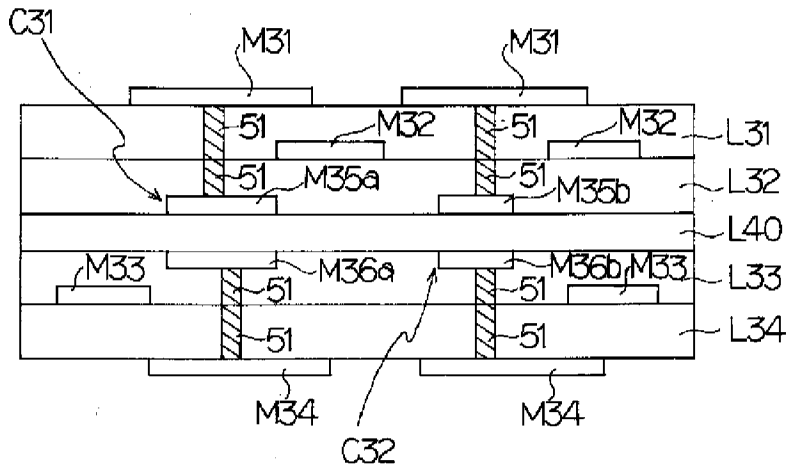
(a)



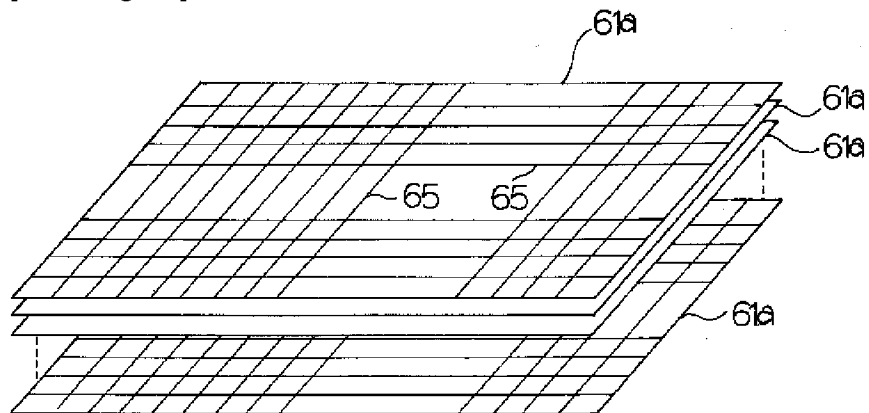
(b)



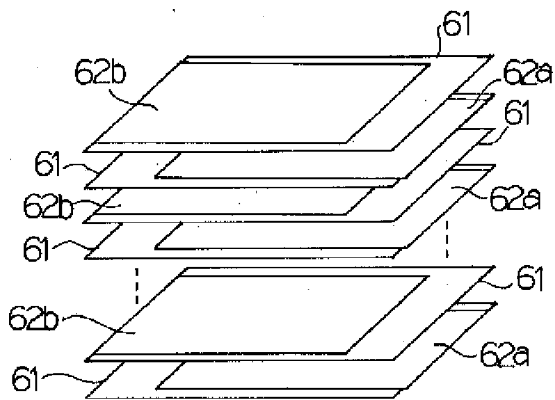
[Drawing 17]



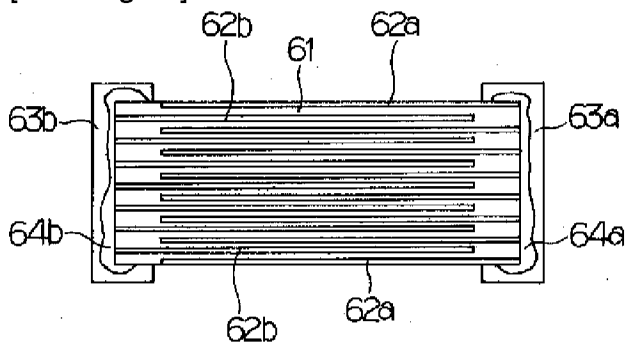
[Drawing 18]



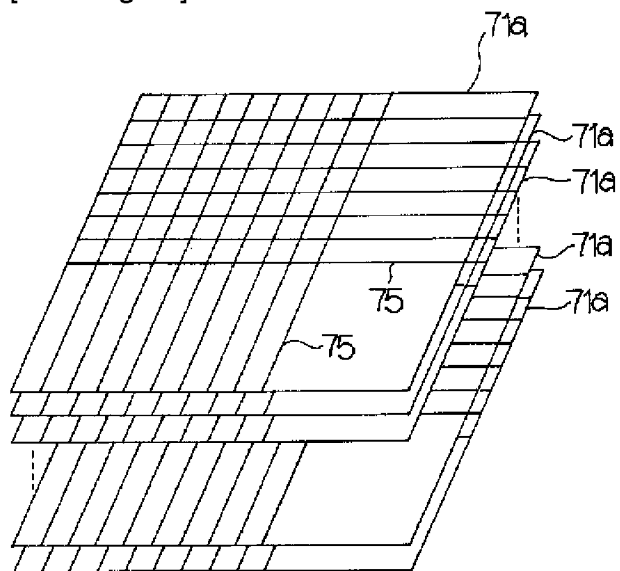
[Drawing 19]



[Drawing 20]



[Drawing 21]



* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

WRITTEN AMENDMENT

----- [a procedure revision]

[Filing Date] February 15, Heisei 11 (1999. 2.15)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] 0008

[Method of Amendment] Modification

[Proposed Amendment]

[0008] In addition, although these resistance elements R21 and R22 omit detailed illustration, they consist of resistor layers linked to two electrodes which face, and these two electrodes. Moreover, the capacitor C22 consists of a lower electrode 45 formed on the ceramic layer L23, a dielectric layer 47 formed through the barrier metal layer 46 on this lower electrode 45, and an up electrode (in drawing 15, a barrier metal layer and an up electrode are set and illustrated) 48 formed through the barrier metal layer on this dielectric layer 47, as shown in drawing 15 (b). Moreover, a capacitor C21 is also the same configuration as a capacitor C22 fundamentally.

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0035

[Method of Amendment] Modification

[Proposed Amendment]

[0035] Moreover, the wiring conductor layers M31, M32, --, M34 are formed between the ceramic layer L33 and the ceramic layers L34 and in ceramic layer L34 inferior surface of tongue among the ceramic layers L31, L32, --, L34, respectively between ceramic layer L31 top face of the maximum upper layer, the ceramic layer L31, and the ceramic layer L32.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0037

[Method of Amendment] Modification

[Proposed Amendment]

[0037] furthermore, the through hole 51 connected to the wiring conductor layers M31, M32, --, M34 and electrode M35 for capacitors a, M35b, M36a, and M36b, respectively is formed in each ceramic layers L31, L32, --, L34.

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0039

[Method of Amendment] Modification

[Proposed Amendment]

[0039] moreover, the wiring conductor layers M31, M32, --, M34, electrode M35 for capacitors a, M35b, 36a, M36b, and a through hole 51 are made from a simple substance or mixtures, such as Cu, Ag, Ag-Pt, Ag-Pd, and W, Mo, like the wiring conductor layers M21, M22, --, M25 of the ceramic multilayer substrate of above-mentioned drawing 14, and a through hole 43.

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0042

[Method of Amendment] Modification

[Proposed Amendment]

[0042] Procedure -2

This kneading object is extended and the thin film with a thickness of 10 micrometers - about 250 micrometers of four sheets and the thin film with a thickness of 10 micrometers - about 100 micrometers of one sheet are formed. And these thin films are cut in dimension in every direction of 50mm - about 200mm, and the sheet metal of two or more sheets, i.e., a green sheet, is formed.

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0044

[Method of Amendment] Modification

[Proposed Amendment]

[0044] the top face of the green sheet of four sheets in which the through hole 51 was formed, and a case -- a top face and an inferior surface of tongue -- a conductor -- it prints and the wiring conductor layers M31, M32, --, M34, such as a receptacle land of a through hole 51, a circuit pattern, and a components land, and electrode M35for capacitors a, M35b, M36a, and M36b are formed. as an ingredient of the wiring conductor layers M31, M32, --, M34 at this time and electrode M35for capacitors a, M35b, M36a, and M36b, the thing of the conductor used for formation of a through hole 51 and a same system is used.

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0045

[Method of Amendment] Modification

[Proposed Amendment]

[0045] Alignment of the green sheet in which electrode M36for capacitors a, 36b, and the wiring conductor layer M33 were formed on the green sheet in which the wiring conductor layer M32 and electrode M35for capacitors a, and 35b were formed on the green sheet, the top face, and the inferior surface of tongue in which the wiring conductor layer M31 was formed on the top face, the green

sheet with a thickness of 10 micrometers - about 100 micrometers, the top face, and the inferior surface of tongue, and the green sheet which formed the wiring conductor layer M34 in the inferior surface of tongue at the list is performed. In this way, after carrying out a green sheet with a thickness of 10 micrometers - about 100 micrometers in between, and electrode M35a for capacitors and electrode M36a for capacitors countering and making it electrode M35b for capacitors and electrode M36b for capacitors counter, it accumulates one by one. And a laminating press is performed and it is made for Ayr etc. not to remain between each green sheet.

[Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0049

[Method of Amendment] Modification

[Proposed Amendment]

[0049] As mentioned above, although the case where a passive element was formed in the surface section and inner layer section had been explained in order to attain small and light-ization of a ceramic multilayer substrate, multilayering of such a ceramic multilayer substrate and built-in-ization of a passive element also had the motion corresponding to the formation of small lightweight of electronic equipment in recent years by miniaturizing independently the laminating mold passive element of the chip configuration mounted in a ceramic multilayer substrate. This has appeared in progress of **** better ***** of a chip size since the laminating mold passive element of a chip configuration was introduced into the commercial scene. That is, the chip size of the laminating mold passive element of a chip configuration has changed to L2.1 mmxW1.25mm from L3.2 mmxW1.6mm, L1.6 mmxW0.8mm, L1.0 mmxW0.5mm, and L0.6 mmxW0.3mm.

[Procedure amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0057

[Method of Amendment] Modification

[Proposed Amendment]

[0057] The chip size is divided into the type of L3.2 mmxW1.6mm, L2.1 mmxW1.25mm, L1.6 mmxW0.8mm, L1.0 mmxW0.5mm, L0.6 mmxW0.3mm, etc., and the stacked capacitor of the chip configuration by which current use is carried out is supplied. And in chip size L1.0 mmxW0.5mm, in the case of withstand voltage 16V, B weighting with a capacity of 100000pF, or F property, about 0.5mm is realized, and the thickness of the stacked capacitor of the chip configuration is predicted to be that to which a still smaller stacked capacitor is supplied from now on.

[Procedure amendment 10]

[Document to be Amended] Specification

[Item(s) to be Amended] 0111

[Method of Amendment] Modification

[Proposed Amendment]

[0111] Moreover, on the ceramic layer L1 of the maximum upper layer of this ceramic multilayer section B, the passive element substrate 13 having two or more stacked capacitors 12 is formed. And as shown in drawing 2 and drawing 3, two kinds of internal electrodes 15a and 15b with which the formation field has shifted come to carry out the laminating of these stacked capacitors 12 by turns through the very thin tabular dielectric layer 14 with a thickness of several micrometers - about 20 micrometers. In addition, although the case where a laminating is carried out to ten layers is illustrated, according to the electrostatic capacity C demanded, a laminating is carried out also to dozens of layers in fact here.

[Procedure amendment 11]

[Document to be Amended] Specification

[Item(s) to be Amended] 0122

[Method of Amendment] Modification

[Proposed Amendment]

[0122] First, the ceramic multilayer section B which constitutes the ceramic

multilayer substrate of drawing 1 is formed. That is, as shown in drawing 4 (b), the green sheet of four sheets which consists of ceramic system ingredients, such as A1N with 50 micrometers - about 250 micrometers [in thickness] and an in every direction dimension of 50mm - about 200mm, high purity alumina, a glass ceramic, or a zirconia, is formed, using the same approach as usual.

[Procedure amendment 12]

[Document to be Amended] Specification

[Item(s) to be Amended] 0154

[Method of Amendment] Modification

[Proposed Amendment]

[0154] First, the ceramic multilayer section B1 which constitutes the ceramic multilayer substrate of drawing 8 is formed like the case where it is shown in drawing 4 (b) of the operation gestalt of the above 1st. As shown in drawing 9 (c), namely, for example, A1N, high purity alumina, The hole for two or more through holes is broken in the green sheet of four sheets which consists of ceramic system ingredients, such as a glass ceramic or a zirconia. In the hole for these through holes, for example, Cu, Ag, Ag-Pt, Ag-Pd, The conductor which consists of a simple substance or mixtures, such as W and Mo, is embedded, a through hole 11 is formed, and the wiring conductor layers M1, M2, --, M5, such as a receptacle land of a through hole 11, a circuit pattern, and a components land, are further formed in the top face or top face, and inferior surface of tongue of the green sheet of these four sheets, respectively. Then, after carrying out alignment of the green sheet of these four sheets, it accumulates one by one, and a laminating press is performed, and it cuts in desired magnitude, heats further, and pressurizes depending on the case, and baking is performed and let the green sheets of four sheets by which the laminating was carried out be the four-layer ceramic layers L1, L2, --, L4, after removing the binder which exists in a green sheet. In this way, the these four layers ceramic layers L1, L2, --, L4 form the ceramic multilayer section B1 by which the laminating was carried out to order.

[Procedure amendment 13]

[Document to be Amended] Specification

[Item(s) to be Amended] 0168

[Method of Amendment] Modification

[Proposed Amendment]

[0168] Moreover, two kinds of through holes 28a and 28b which function on the passive element substrate 24 as an external electrode of the laminating mold inductor 23 are formed, through hole 28a of one of these is connected to the edge by the side of the topmost part of the inner conductor layer 26 which is making the spiral structure of a square shape in three dimensions, and through hole 28b of another side is connected to the edge by the side of the bottom of the inner conductor layer 26. Moreover, the wiring conductor layers M12 and M13 which connect with the through holes 28a and 28b of the laminating mold inductor 23, respectively are formed in the top face and inferior surface of tongue of the passive element substrate 24 which build in such a laminating mold inductor 23.

[Procedure amendment 14]

[Document to be Amended] Specification

[Item(s) to be Amended] 0169

[Method of Amendment] Modification

[Proposed Amendment]

[0169] Moreover, the ceramic multilayer section B and the passive element substrate 24 are joined mechanically and electrically with the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19. That is, between the ceramic layer L1 of the maximum upper layer of the ceramic multilayer section B, and the passive element substrate 24, the insulating sexual conjugation material 18 and the conductive jointing material for corrugated fibreboard 19 are arranged at a position, and intervene. And while the ceramic layer L1 and the passive element substrate 24 of the ceramic multilayer section B are mechanically joined by the insulating sexual conjugation material

18, the wiring conductor layer M1 of ceramic layer L1 top face and M13 of passive element substrate 24 inferior surface of tongue are electrically joined with the conductive jointing material for corrugated fibreboard 19.

[Procedure amendment 15]

[Document to be Amended] Specification

[Item(s) to be Amended] 0176

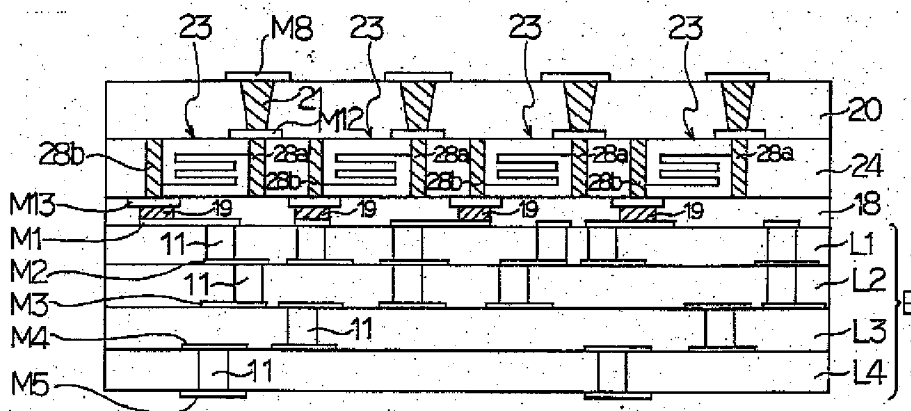
[Method of Amendment] Modification

[Proposed Amendment]

[0176] First, the ceramic multilayer section B which constitutes the ceramic multilayer substrate of drawing 12 is formed according to the completely same process as the case where it is shown in drawing 4 (b) of the operation gestalt of the above 1st. Namely, the hole for two or more through holes is broken in the green sheet of four sheets which consists of ceramic system ingredients, such as A1N, high purity alumina, a glass ceramic, or a zirconia, for example. In the hole for these through holes, for example, Cu, Ag, Ag-Pt, Ag-Pd, Embed the conductor which consists of a simple substance or mixtures, such as W and Mo, and a through hole 11 is formed. Furthermore, the wiring conductor layers M1, M2, --, M5, such as a receptacle land of a through hole 11, a circuit pattern, and a components land, are formed in the top face or top face, and inferior surface of tongue of the green sheet green sheet of these four sheets, respectively. Then, after carrying out alignment of the green sheet of these four sheets, it accumulates one by one, and a laminating press is performed, and it cuts in desired magnitude, heats further, and pressurizes depending on the case, and baking is performed and let the green sheets of four sheets by which the laminating was carried out be the four-layer ceramic layers L1, L2, --, L4, after removing the binder which exists in a green sheet. In this way, the four-layer ceramic layers L1, L2, --, L4 form the ceramic multilayer section B by which the laminating was carried out to order.

[Procedure amendment 16]

[Document to be Amended] Specification



[Procedure amendment 18]

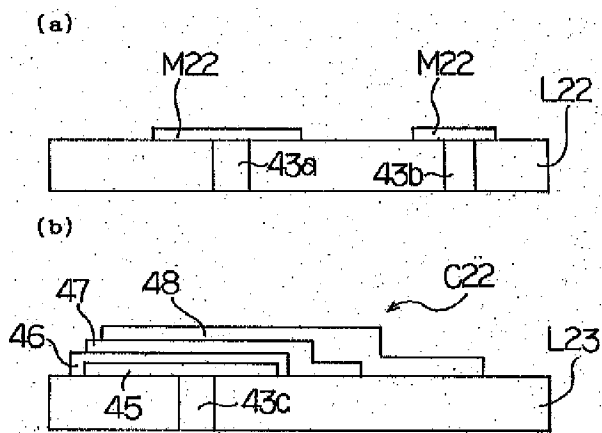
[Document to be Amended] DRAWINGS

[Item(s) to be Amended] drawing 15

[Method of Amendment] Modification

[Proposed Amendment]

[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2000-151104
(P2000-151104A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

テマコード* (参考)

H 5 E 3 4 6

Q

S

審査請求 未請求 請求項の数10 O L (全 32 頁)

(21) 出願番号

特願平10-320623

(22) 出願日

平成10年11月11日 (1998. 11. 11)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 米山 勝廣

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

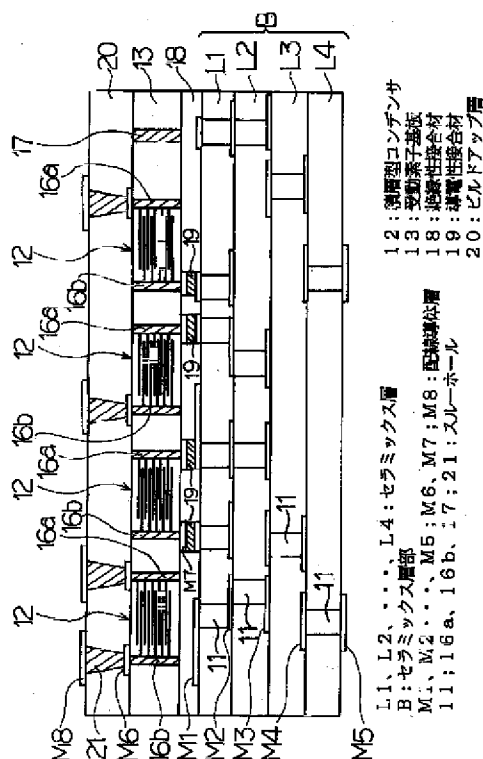
最終頁に続く

(54) 【発明の名称】 多層基板

(57) 【要約】

【課題】 チップ形状の積層型受動素子の性能と同等又はそれ以上の優れた性能を有する受動素子を内蔵化した多層基板を提供することを目的とする。

【解決手段】 セラミックス系材料からなる4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部B上に、複数の積層型コンデンサ12を内蔵している受動素子基板13が絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合されており、更にその上には、ビルドアップ層20が形成されている。積層型コンデンサ12は、形成領域がずれている2種類の内部電極15a、15bがそれぞれ誘電体層14を介して交互に積層してなるものであり、この積層構造をなす内部電極15a、15bが外部電極として機能するスルーホール16a、16bにそれぞれ接続されている。



【特許請求の範囲】

【請求項1】 積層型受動素子を具備する多層基板であって、

スルーホール及び配線導体を形成した単一層又は複数層のセラミックス層からなるセラミックス層部と、
前記セラミックス層部に隣接して配置され、複数の導体層がそれぞれ誘電体層を介して積層されていると共に前記複数の導体層の端部がスルーホールに接続されている積層型受動素子を内蔵する受動素子基板と、
前記セラミックス層部及び前記受動素子基板を機械的に接合する絶縁性接合材と、
前記セラミックス層部及び前記受動素子基板を電氣的に接合する導電性接合材と、
を有することを特徴とする多層基板。

【請求項2】 請求項1記載の多層基板において、
前記受動素子基板上に、ビルドアップ層が形成されていることを特徴とする多層基板。

【請求項3】 積層型受動素子を具備する多層基板であって、
スルーホール及び配線導体を形成した単一層又は複数層のセラミックス層からなる複数のセラミックス層部と、
前記複数のセラミックス層部の間に介在して配置され、複数の導体層がそれぞれ誘電体層を介して積層されていると共に前記複数の導体層の端部がスルーホールに接続されている積層型受動素子を内蔵する受動素子基板と、
前記複数のセラミックス層部及び前記受動素子基板を機械的に接合する絶縁性接合材と、
前記複数のセラミックス層部及び前記受動素子基板を電氣的に接合する導電性接合材と、
を有することを特徴とする多層基板。

【請求項4】 請求項1又は3に記載の多層基板において、
前記受動素子基板に、同一種類の複数の積層型受動素子が内蔵されていることを特徴とする多層基板。

【請求項5】 請求項1又は3に記載の多層基板において、
前記受動素子基板に、異なる種類の複数の積層型受動素子が内蔵されていることを特徴とする多層基板。

【請求項6】 請求項1又は3に記載の多層基板において、
前記受動素子基板に、電源、グランド、又は信号線が混在して形成されていることを特徴とする多層基板。

【請求項7】 請求項1又は3に記載の多層基板において、
前記セラミックス層が、アルミナ、ガラスセラミック、窒化アルミニウム、窒化珪素、若しくはジルコニウム、又はこれらの混合体を材料とするグリーンシートを焼成して形成したものであることを特徴とする多層基板。

【請求項8】 請求項1又は3に記載の多層基板において、

前記積層型受動素子を構成する前記誘電体層の材料として、セラミックス系材料、ガラス材、マイカ材、フェライト材、又は有機材料が用いられていることを特徴とする多層基板。

【請求項9】 請求項1又は3に記載の多層基板において、

前記絶縁性接合材として、低温融点ガラス、ポリイミド、エポキシ樹脂、又はアルミナ、ガラスセラミック、窒化アルミニウム、窒化珪素、若しくはジルコニウム、若しくはこれらの混合体が用いられていることを特徴とする多層基板。

【請求項10】 請求項1又は3に記載の多層基板において、
前記導電性接合材として、銅、銀、銀と白金との合金、銀とパラジウムとの合金、モリブデン、若しくはタングステン、又はこれらの混合体が用いられていることを特徴とする多層基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層基板に係り、特に積層型コンデンサや積層型インダクタ等の積層構造をなす受動素子を内蔵した多層基板に関するものである。

【0002】

【従来の技術】近年、電子機器の小型軽量化の要求は、特にパーソナル・コンピュータと通信の技術の上に立脚したモバイル・コミュニケーション分野における高性能化が進展する中で益々強いものとなっている。そして、こうした電子機器の小型軽量化に伴い、電子機器に使用されるセラミックス多層基板についても同様に小型軽量化の要望も強くなってきた。このため、セラミックス多層基板、例えば高温焼成タイプのアルミナ多層基板や低温焼成可能な低温焼成ガラスセラミックス多層基板等においては、従来から、抵抗、コンデンサ、インダクタ等の受動素子をセラミックス多層基板の表層部や内層部に形成して、その軽薄短小化を図ろうとする技術が開発されてきた。

【0003】以下、従来のセラミックス多層基板の一例として、受動素子を内蔵化したセラミックス多層基板について、図14及び図15を用いて説明する。ここで、図14は従来の受動素子を内蔵化したセラミックス多層基板を示す断面図であり、図15は図14のセラミックス多層基板に内蔵されたコンデンサを説明するための断面図である。

【0004】図14に示されるように、従来のセラミックス多層基板においては、例えばガラスセラミックスからなる4層のセラミックス層L21、L22、…、L24が順に積層され、セラミックス多層部41を構成している。そして、このセラミックス多層部41のセラミックス層L21、L22、…、L24のうち、最上層のセ

ラミックス層L21上面、セラミックス層L21、L22、…、L24の各層間、及び最下層のセラミックス層L24下面には、それぞれ配線導体層M21、M22、…、M25が形成されている。

【0005】また、セラミックス多層部41の上方の表層部、即ちセラミックス層L21上に、受動素子としての抵抗素子R21及びコンデンサC21が形成されている。また、セラミックス多層部41の内層部、例えばセラミックス層L22とL23との間には、コンデンサC22が形成されている。更に、セラミックス多層部41の下方の表層部、即ちセラミックス層L24上にも、抵抗素子R22が形成されている。

【0006】また、セラミックス多層部41の上方の表層部、即ち抵抗素子R21及びコンデンサC21が形成されているセラミックス層L21上面にはビルドアップ層42aが形成され、セラミックス多層部41の下方の表層部、即ち抵抗素子R22が形成されているセラミックス層L24下面上にもビルドアップ層42bが形成されている。そして、これらのビルドアップ層42a上面及びビルドアップ層42b下面には、それぞれ配線導体層M26、M27が形成されている。

【0007】更に、セラミックス多層部41の各セラミックス層L21、L22、…、L24に、それぞれ配線

$$C = \epsilon_0 \cdot \epsilon \cdot (A/d)$$

但し、 ϵ_0 : 係数 8.854×10^{-12} (F/m)

ϵ : 比誘電率

A : 電極面積

d : 電極間距離

【0010】また、例えばコンデンサC22は、図15(a)、(b)に示されるように、セラミックス層L22に形成されているスルーホール43a、43bのいずれかの位置が、セラミックス層L3上面のコンデンサC22の上部電極48の位置に対応し、セラミックス層L2とセラミックス層L3とを積層した場合にセラミックス層L2のスルーホール43a、43bのいずれかがコンデンサC22の上部電極48に接続するようになってい。こうして、コンデンサC22の上部電極48に接続するセラミックス層L2のスルーホール43a、43bのいずれかとコンデンサC22の下部電極45に接続するセラミックス層L23のスルーホール43cとの間に所定の静電容量Cが得られることになる。

【0011】ところで、図14に示されるセラミックス多層基板を構成する各要素には、次のような材料が用いられる。即ち、セラミックス層L21、L22、…、L24はアルミナ (Al_2O_3) とホウケイ酸酸化物 ($B_2O_3-SiO_2$) とを混合してなるガラスセラミックスを材料とする。そして、このガラスセラミックスは、一般的に比誘電率5.6~8.0程度、熱伝導率約2.5W/m・K~3W/m・K、熱膨張係数約 $5.5 \times 10^{-6}/^{\circ}C$ 、耐熱温度約850℃~950℃(焼成温

導体層M21、M22、…、M25や抵抗素子R21、R22やコンデンサC21、C22に接続するスルーホール43が形成されている。また、ビルドアップ層42a、42bにも、それぞれ配線導体層M26、M27や、セラミックス層L21上面の配線導体層M21、セラミックス層L24下面の配線導体層M25や、セラミックス層L21上面のコンデンサC21に接続するスルーホール44が形成されている。

【0008】なお、これらの抵抗素子R21、R22は、詳細な図示は省略するが、相対する2つの電極と、これら2つの電極に接続する抵抗体層とから構成されている。また、コンデンサC22は、図15(b)に示されるように、セラミックス層L23上に形成された下部電極45と、この下部電極45上にバリアメタル層46を介して形成された誘電体層47と、この誘電体層47上にバリアメタル層を介して形成された上部電極(図15においては、バリアメタル層及び上部電極を合わせて図示する)48とから構成されている。また、コンデンサC21も、基本的にコンデンサC22と同様の構成である。

【0009】そして、このようなキャパシタC21、C22によって得られる静電容量Cは、次の式により与えられる。

$$(1)$$

度)の特性を有している。また、その絶縁破壊電圧は、約10KV/mm~20KV/mmである。なお、セラミックス材料としては、このガラスセラミックスの他に、高純度アルミナ、ジルコニア、AlN(窒化アルミ)等を材料とするものがある。

【0012】また、ビルドアップ層42a、42bは、例えばポリイミド、エポキシ系樹脂等の有機材料や結晶化ガラス等を材料として用いる。

【0013】また、配線導体層M21、M22、…、M27及びスルーホール43、44は、例えばCu(銅)、Ag(銀)、Ag-Pt(白金)、Ag-Pd(パラジウム)、W(タングステン)、Mo(モリブデン)等の単体又は混合体を材料とする。これらのいずれを選択するかは、前述のセラミックス材料の焼成温度、焼成雰囲気、形成する回路の特性等に基づいて決定する。なお、内層にAg、Ag-Pt、Ag-Pdを使用し、外層にCuを使用する積層構造の場合もある。

【0014】また、抵抗素子R21、R22を構成する電極には、例えばCu、Ag、Ag-Pt、Ag-Pd等が材料として使用され、抵抗体層には、例えばRuO₂系、LaB₆、SnO₂系等が材料として使用される。

【0015】更に、コンデンサC21、C22を構成する下部電極45及び上部電極48には、例えばCu、Ag、Ag-Pt、Ag-Pd等が材料として使用され、誘電体層47には、例えば比誘電率20~28程度のタ

ンタルオキサイド、比誘電率2000程度の BaTiO_3 、比誘電率150～200程度の SrTiO_3 、比誘電率500～860程度の BaSrTiO_3 、比誘電率100～200程度の PbTiO_3 、比誘電率700～4000程度の PbLaZrTiO_3 等の多種の材料が使用される。また、バリアメタル層46は、例えばW、Ru（ルテニウム）、Pt、Au（金）、Ti（チタン）等を材料とし、単体層又は複数材料の積層構造をなしている。

【0016】次に、図14に示されるセラミックス多層基板の製造プロセスを説明する。

手順－1

セラミック材料としてアルミナ及びホウケイ酸酸化物の粉末を、水又はアルコール等の溶剤に加えて混合する。このときの粉体の粒径は、平均数 μm 程度である。続いて、この混合体を練り合わせて泥漿し、混練体を形成する。

【0017】手順－2

この混練体を延ばして、厚さ $10\mu\text{m}$ ～ $250\mu\text{m}$ 程度のロール状の薄膜に成膜する。そして、この薄膜を縦横寸法 50mm ～ 200mm 程度に切断して、複数枚の薄板を形成する。この薄板が、一般にグリーンシートと呼ばれるものである。

【0018】手順－3

4枚のグリーンシートに、孔径 $50\mu\text{m}$ ～ $200\mu\text{m}$ 程度の複数のスルーホール用の穴を明けける。これらのスルーホール用の穴明け方法としては、例えばドリルによる方法、金型による方法、レーザ等を用いる方法等がある。その後、これらのスルーホール用の穴に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込んで、スルーホール43を形成する。このスルーホール用の穴に導体を埋め込む方法としては、一般にスクリーン印刷法を用いる。

【0019】手順－4

4枚のグリーンシートのそれぞれに配線導体の印刷を行う。即ち、グリーンシートの上面、場合によっては上面及び下面に、導体印刷を行い、スルーホールの受けランド、配線パターン、部品ランド等の配線導体層M21、M22、…、M25を形成する。このときの配線導体層M21、M22、…、M25の材料としては、スルーホール43の形成に使用した導体と同系統のものをを用いる。

【0020】手順－5

4枚のグリーンシートのうち、所定のグリーンシート上に、コンデンサC22を形成する。即ち、所定のグリーンシート上に印刷法により下部電極45を形成し、乾燥処理を行った後、この下部電極45上に印刷法によりバリアメタル層46を形成して、乾燥処理を行う。続いて、このバリアメタル層46上に印刷法により誘電体層47を形成して、乾燥処理を行う。更にこの誘電体層4

7上に印刷法によりバリアメタル層を形成し、乾燥処理を行った後、このバリアメタル層上に、印刷法により上部電極48を形成する。

【0021】手順－6

コンデンサC22を形成したグリーンシートを含め、各グリーンシートの位置合わせを行った後、順次積み上げる。そして、積層プレスを行い、各グリーンシート間にエア等が残存しないようにする。

【0022】手順－7

積層プレスによって積層されたグリーンシートを所望の大きさに切断する。こうして、生積層体を形成する。

【0023】手順－8

4枚のグリーンシートが積層された生積層体を加熱しながら、場合によっては加圧しながら、各グリーンシート内に存在するバインダーを除去する。更に本焼成を行い、4枚の積層されたグリーンシートをそれぞれセラミックス層L21、L22、…、L24に変化させる。こうして、4層のセラミックス層L21、L22、…、L24が順に積層されたセラミックス多層部41を形成する。

【0024】手順－9

セラミックス多層部41の上方の表層部、即ちセラミックス層L21上面上に抵抗素子R21及びコンデンサC21を形成し、下方の表層部、即ちセラミックス層L24下面上に抵抗素子R22を形成する。即ち、セラミックス層L21表面の数 μm 程度の凹凸を平坦にする平滑化処理を行った後、その上に、上記の手順－5の場合とほぼ同様の方法を用いて、印刷法による下部電極45の形成、乾燥処理、印刷法によるバリアメタル層46の形成、乾燥処理、印刷法による誘電体層47の形成、乾燥処理、印刷法によるバリアメタル層の形成、乾燥処理、印刷法による上部電極48の形成を行う。こうして、セラミックス層L21上にコンデンサC21を形成する。なお、ここで、セラミックス層L21表面の平滑化処理を行った理由は、凹凸のある表面にコンデンサを形成すると、ボイドが発生し、このボイドに起因する電界集中が生じて、電極間の短絡を招く等の不具合が起こる危険性があるからである。

【0025】また、セラミックス層L21上に、印刷法により導体を塗布し、2つの電極を相対して形成した後、再び印刷法を用いてこれら2つの電極に接続する抵抗体を塗布し、抵抗体層を形成する。場合によっては、抵抗体を塗布した後、乾燥させる工程を付加する。こうして、セラミックス層L21上に上に抵抗素子R21を形成する。同様に、セラミックス多層部41の下方の表層部、即ちセラミックス層L24下面上に、抵抗素子R22を形成する。

【0026】なお、セラミックス多層部41の表層部にコンデンサC21や抵抗素子R21、R22を形成する場合には、セラミックス多層部41の内層部にコンデン

サC 2 2を形成する場合と異なり、スパッタ法やCVD法を用いた薄膜形成プロセスを採用することも可能である。この場合、より高性能な受動素子を形成することが可能になり、特にコンデンサの場合、その高容量化を容易に実現することが可能になる。

【0027】手順-10

セラミックス層L 2 1上面上に形成した抵抗素子R 2 1及びコンデンサC 2 1並びにセラミックス層L 2 4下面上に形成した抵抗素子R 2 2のトリミング処理を行う。例えば、抵抗素子R 2 1、R 2 2の上面からレーザ又はサンドブラスト等により抵抗体層の幅方向に溝状の切り込みを入れ、その抵抗値が所定の目標値の範囲内に入るようにする。現在、このトリミング処理によって、0.5%~5%程度の抵抗値の精度が得られている。同様に、コンデンサC 2 1についてもトリミング処理を行い、その容量値が所定の目標値の範囲内に入るようにする。

【0028】手順-11

セラミックス多層部4 1のセラミックス層L 2 1上面上にビルドアップ層4 2 aを形成すると共に、セラミックス層L 2 4下面上にビルドアップ層4 2 bを形成する。即ち、ビルドアップ層4 2 aの材料に例えば樹脂系の材料を用いる場合には、印刷、スピンコート、シート状材料の張り合わせ等により樹脂をセラミックス層L 2 1上面に塗布した後、熱硬化やUV等の照射によって硬化させる。また、結晶化ガラスを材料として用いる場合には、印刷等によりセラミックス層L 2 1上面にペースト状のガラスを塗布した後、焼成して固化する。こうして、セラミックス多層部4 1の抵抗素子R 2 1及びコンデンサC 2 1を形成したセラミックス層L 2 1上面上にビルドアップ層4 2 aを形成する。同様に、セラミックス多層部4 1の抵抗素子R 2 2を形成したセラミックス層L 2 4下面上にビルドアップ層4 2 bを形成する。

【0029】手順-12

ビルドアップ層4 2 a、4 2 bにスルーホール4 4を形成する。即ち、ビルドアップ層4 2 aの材料に感光性の樹脂を用いる場合、セラミックス層L 2 1上に感光性の樹脂を塗布し、スルーホール形成予定領域以外の樹脂を硬化させると共にスルーホール形成予定領域の樹脂を除去して複数個のスルーホール用の穴を開いた後、これらのスルーホール用の穴に例えばメッキ、導体ペーストの塗布、スパッタ等を用いて導体を埋め込む。こうしてセラミックス層L 2 1上面の配線導体層M 2 1やコンデンサC 2 1に接続するスルーホール4 4をビルドアップ層4 2 aに形成する。

【0030】なお、こうしたスルーホール4 4の形成方法以外にも、例えばセラミックス層L 2 1上に感光性の樹脂を塗布して、硬化させた後、レーザ等により複数個のスルーホール用の穴を開いて、これらのスルーホー

ル用の穴に例えばメッキ、導体ペーストの塗布、スパッタ等を用いて導体を埋め込む方法もある。また、ビルドアップ層4 2 aの材料に結晶化ガラスを用いる場合、セラミックス層L 2 1上に結晶化ガラスを固定した後、レーザ等により複数個のスルーホール用の穴を開いて、これらのスルーホール用の穴に例えばメッキ、導体ペーストの塗布、スパッタ等を用いて導体を埋め込む方法もある。同様に、セラミックス層L 2 4下面上の抵抗素子R 2 2接続するスルーホール4 4をビルドアップ層4 2 bに形成する。

【0031】手順-13

ビルドアップ層4 2 a上面に、導体の印刷、メッキ、スパッタ等を行うことにより、スルーホール4 4に接続する配線導体層M 2 6を形成する。同様に、ビルドアップ層4 2 b下面に、スルーホール4 4に接続する配線導体層M 2 7を形成する。このような製造プロセスにより、図1 4に示されるような受動素子としての抵抗素子R 2 1、R 2 2及びコンデンサC 2 1、C 2 2が内蔵された低温焼成ガラスセラミックス多層基板が形成される。

【0032】なお、上記図1 4には示されていないが、セラミックス多層基板に内蔵される受動素子としては、上記の抵抗素子R 2 1、R 2 2及びコンデンサC 2 1、C 2 2等の他に、図1 6に示されるように、例えば材料としてCuを用いる幅100 μ m、厚さ1 μ mの角形のスパイラル形状の内部導体層4 9からなるインダクタ5 0がある。即ち、こうした角形のスパイラル形状のインダクタ5 0をセラミックス多層部4 1の表層部又は内層部に形成してもよい。また、この角形のスパイラル形状のインダクタ5 0の代わりに、丸形のスパイラル形状のインダクタを形成してもよい。

【0033】次に、従来のセラミックス多層基板の他の例として、上記図1 4のセラミックス多層基板と異なる方法で比較的小容量のコンデンサを内蔵化したセラミックス多層基板を、図1 7を用いて説明する。ここで、図1 7は従来の比較的小容量のコンデンサを内蔵化したセラミックス多層基板を示す概略断面図である。

【0034】図1 7に示されるように、ガラスセラミックスからなる4層のセラミックス層L 3 1、L 3 2、…、L 3 4が順に積層されている。そして、こうした積層構造において、セラミックス層L 3 2とセラミックス層L 3 3との間に、同じくガラスセラミックスからなるコンデンサ用誘電体層L 4 0が形成されている。

【0035】また、セラミックス層L 3 1、L 3 2、…、L 3 4のうち、最上層のセラミックス層L 3 1上面、セラミックス層L 3 1とセラミックス層L 3 2との間、セラミックス層L 3 3とセラミックス層L 3 4との間、及びセラミックス層L 3 4下面に、それぞれ配線導体層M 3 1、L 3 2、…、L 3 4が形成されている。

【0036】また、セラミックス層L 3 2下面及びセラ

ミックス層L33上面に、それぞれ2つのコンデンサ用電極M35a、M35b及びコンデンサ用電極M36a、M36bがコンデンサ用誘電体層L40を間に挟んで対向して形成されている。即ち、コンデンサ用誘電体層L40を間に挟んで対向するコンデンサ用電極M35a及びコンデンサ用電極M36aによってコンデンサC31が形成され、同じくコンデンサ用誘電体層L40を間に挟んで対向するコンデンサ用電極M35b及びコンデンサ用電極M36bによってコンデンサC32が形成されている。

【0037】更に、各セラミックス層L31、L32、…、L34には、それぞれ配線導体層M31、L32、…、L34及びコンデンサ用電極M35a、M35b、M36a、M36bに接続するスルーホール51が形成されている。

【0038】ところで、上記図17に示されるセラミックス多層基板を構成する各要素には、次のような材料が用いられる。即ち、セラミックス層L31、L32、…、L34及びコンデンサ用誘電体層L40は、上記図14のセラミックス多層基板のセラミックス層L21、L22、…、L24と同様に、アルミナとホウケイ酸酸化物とを混合してなるガラスセラミックスを材料とする。このガラスセラミックスは、一般的に比誘電率5.6～8.0程度、熱伝導率約2.5W/m・K～3W/m・K、熱膨張係数約 $5.5 \times 10^{-6}/^{\circ}\text{C}$ 、耐熱温度約850℃～950℃（焼成温度）の特性を有している。また、その絶縁破壊電圧は、約10KV/mm～20KV/mmである。

【0039】また、配線導体層M31、L32、…、L34、コンデンサ用電極M35a、M35b、36a、M36b、スルーホール51は、上記図14のセラミックス多層基板の配線導体層M21、M22、…、M30及びスルーホール43と同様に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体を材料とする。

【0040】次に、図17に示すセラミックス多層基板の製造プロセスを説明する。なお、この製造プロセスは、上記図14に示すセラミックス多層基板の製造プロセスと多くの点で共通するため、共通する点は説明を簡略化する。

【0041】手順-1

セラミック材料としてアルミナ及びホウケイ酸酸化物の粉末を、水又はアルコール等の溶剤に加えて混合する。続いて、この混合体を練り合わせて泥漿し、混練体を形成する。

【0042】手順-2

この混練体を延ばし、厚さ10μm～250μm程度の4枚の薄膜と厚さ10μm～100μm程度の1枚の薄膜とを成膜する。そして、これらの薄膜を縦横寸法50μm～200μm程度に切断し、複数枚の薄板、即ちグ

リーンシートを形成する。

【0043】手順-3

厚さ10μm～250μm程度の4枚のグリーンシートに、穴径50μm～200μm程度の複数のスルーホール用の穴を明けける。その後、これらのスルーホール用の穴に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込み、スルーホール51を形成する。

【0044】手順-4

スルーホール51を形成した4枚のグリーンシートの上面、場合によっては上面及び下面に、導体印刷を行い、スルーホール51の受けランド、配線パターン、部品ランド等の配線導体層M31、L32、…、L34、及びコンデンサ用電極M35a、M35b、36a、M36bを形成する。このときの配線導体層M31、L32、…、L34及びコンデンサ用電極M35a、M35b、36a、M36bの材料としては、スルーホール51の形成に使用した導体と同系統のものをを用いる。

【0045】手順-5

上面に配線導体層M31を形成したグリーンシート、上面及び下面に配線導体層M32及びコンデンサ用電極M35a、35bを形成したグリーンシート、厚さ10μm～100μm程度のグリーンシート、上面及び下面にコンデンサ用電極M36a、36b及び配線導体層M33を形成したグリーンシート、並びに下面に配線導体層M34を形成したグリーンシートの位置合わせを行う。こうして、厚さ10μm～100μm程度のグリーンシートを間にしてコンデンサ用電極M35aとコンデンサ用電極M35aとが対向し、コンデンサ用電極M36aとコンデンサ用電極M36aとが対向するようにした後、順次積み上げる。そして、積層プレスを行い、各グリーンシート間にエア等が残存しないようにする。

【0046】手順-6

積層プレスによって積層された5枚のグリーンシートを所望の大きさに切断する。こうして、生積層体を形成する。

【0047】手順-7

5枚のグリーンシートが積層された生積層体を加熱しながら、場合によっては加圧しながら、各グリーンシート内に存在するバインダーを除去する。更に本焼成を行い、5枚のグリーンシートをそれぞれセラミックス層L31、L32、コンデンサ用誘電体層L40、及びセラミックス層L33、L34に変化させる。こうして、コンデンサ用誘電体層L40を間に挟んで対向しているコンデンサ用電極M35a、M36aによってコンデンサC31を形成し、同じくコンデンサ用誘電体層L40を間に挟んで対向しているコンデンサ用電極M35b、M36bによってコンデンサC32を形成する。

【0048】このような製造プロセスにより、図17に示されるようなコンデンサC31、C32が内蔵された

低温焼成ガラスセラミックス多層基板が形成される。

【0049】以上、セラミックス多層基板の軽薄短小化を図るため、その表層部や内層部に受動素子を形成する場合について説明してきたが、こうしたセラミックス多層基板の多層化と受動素子の内蔵化とは別に、セラミックス多層基板に実装するチップ形状の積層型受動素子を小型化することにより、近年の電子機器の小型軽量化に対応する動きもあった。このことは、チップ形状の積層型受動素子が市場に導入されて以来のチップサイズの目ざましい小型化の進展に現れている。即ち、チップ形状の積層型受動素子のチップサイズは、L3.2mm×W1.6mmからL2.1mm×W2.5mm、L1.6mm×W0.8mm、L1.0mm×W0.5mm、L0.6mm×W0.3mmへと変化してきた。

【0050】以下、従来のチップ形状の積層型コンデンサ及びその製造方法について、図18～図20を用いて説明する。ここで、図18～図20はそれぞれ従来のチップ形状の積層型コンデンサの製造方法を説明するための工程図であって、図18は誘電体層となる複数枚の誘電体基板を示す斜視図、図19は複数枚の誘電体基板に内部電極が形成された状態を示す斜視図、図20は完成したチップ形状の積層型コンデンサを示す断面図である。

【0051】図20に示されるように、従来のチップ形状の積層型コンデンサにおいては、例えば厚さ数 μm ～20 μm 程度の非常に薄い板状の誘電体層61を介して、形成領域ががずれている2種類の内部電極62a、62bが交互に積層している。即ち、交互に積層された2種類の内部電極62a、62bがそれぞれその間に誘電体層61を挟む平行電極をなしている。

【0052】なお、ここでは、内部電極62a、62b

$$C = 1 / (1/C_1 + 1/C_2 + 1/C_3 + \dots + 1/C_n) \quad (2)$$

【0056】ここで、通常は、

$$C_1 = C_2 = C_3 = \dots = C_n \quad (3)$$

であるため、チップ形状の積層型コンデンサの静電容量

$$C = \epsilon_0 \cdot \epsilon \cdot n \cdot (S/t) \quad (4)$$

但し、 ϵ_0 : 係数 8.854×10^{-12} (F/m)

ϵ : 比誘電率

n : 積層数

S : 内部電極62a、62bの電極面積

t : 内部電極62a、62b間の誘電体層61の厚みとなる。従って、積層数 n を変化させることにより、所望の静電容量 C が得られる。

【0057】現在使用されているチップ形状の積層型コンデンサは、そのチップサイズが、L3.2mm×W1.6mm、L2.1mm×W2.5mm、L1.6mm×W0.8mm、L1.0mm×W0.5mm、L0.6mm×W0.3mmなどのタイプに分かれて供給されている。そして、そのチップ形状の積層型コンデンサの厚みは、チップサイズL1.0mm×W0.5mm

が合計で15層に積層されている場合を図示しているが、実際には、要求される容量値に応じて、数十層にも積層される。以下、便宜上、 n 層に積層されているとする。

【0053】そして、形成領域ががずれている2種類の内部電極62a、62bがそれぞれ誘電体層61を介して交互に積層されている積層体の両サイドには2つの外部電極63a、63bがそれぞれ形成され、積層構造をなす内部電極62a、62bがそれぞれ層間電極接続材64a、64bを介して2つの外部電極63a、63bに接続されている。即ち、例えば一番上の内部電極62aは層間電極接続材64aを介して外部電極63aに接続され、二番目の内部電極62bは層間電極接続材64bを介して外部電極63bに接続されている。以下同様にして、奇数番目の内部電極62aは層間電極接続材64aを介して外部電極63aに接続され、偶数番目の内部電極62bは層間電極接続材64bを介して外部電極63bに接続されている。

【0054】このようなチップ形状の積層型コンデンサにおいて、誘電体層61を間に挟む一番上の内部電極62aと二番目の内部電極62bとから構成される第1のコンデンサの静電容量 C_1 は、上記(1)式から求められる。同様に、誘電体層61を間に挟む二番目の内部電極62bと三番目の内部電極62aとから構成される第2のコンデンサの静電容量 C_2 も、上記(1)式から求められる。以下、第3から第 n までのコンデンサの静電容量 C_3 、…、 C_n も同様である。

【0055】そして、チップ形状の積層型コンデンサ全体としては、こうした第1～第 n のコンデンサが並列に接続された構造となっているため、その静電容量 C は、次の式により与えられる。

C は、

において、耐電圧16V、容量100000pFのB特性又はF特性の場合に、0.5mm程度とが実現されており、今後は更に小型の積層型コンデンサが供給されてくるものと予測されている。

【0058】次に、従来のチップ形状の積層型コンデンサの製造方法を説明する。先ず、図18に示されるように、例えば比誘電率が8～10程度のアルミナ、比誘電率が9程度のAlN、比誘電率が8程度の窒化珪素、又は比誘電率が2000程度のBaTiO₃（チタン酸バリウム）等のセラミックス系材料からなる誘電体を用意し、この誘電体を厚さ数 μm ～20 μm 程度の非常に薄い板状にシート化し、適当な寸法に裁断して、複数枚の誘電体基板61aを形成する。なお、図中の誘電体基板61aに描かれている格子状の直線は、後の工程で誘電

体基板61aをチップサイズに切断するための切断線65である。

【0059】次いで、図19に示されるように、複数枚の誘電体基板61aのそれぞれに、スクリーン印刷法を用いて、例えばAg、Ag-Pt、Ag-Pd、Pd、Ni等の金属導体材料からなる導電性ペーストを印刷する。このとき、誘電体基板61a毎に導電性ペーストを塗布する領域をずらして、2種類の内部電極62a、62bを形成する。

【0060】続いて、内部電極62aが形成されている誘電体基板61aと内部電極62bが形成されている誘電体基板61aとを交互に複数層に積層成形して焼成する。その後、誘電体基板61aの積層体を図18に示した切断線65に沿ってチップサイズに切り出して、内部電極62aが形成されている誘電体層61と内部電極62bが形成されている誘電体層61とが交互に積層された積層体を形成する。従って、この積層体は、形成領域がずれている2種類の内部電極62a、62bがそれぞれ誘電体層61を介して交互に積層された積層体となる。

【0061】次いで、図20に示されるように、例えばディップ法を用いて、この積層体の両端部にAg、Pd等からなる層間電極接続材64a、64bを形成し、交互に積層されている2種類の内部電極62a、62bのうち、全ての内部電極62aの端部を層間電極接続材64aに接続すると共に、全ての内部電極62bの端部を層間電極接続材64bに接続する。即ち、全ての内部電極62aが層間電極接続材64aを介して一つに接続され、全ての内部電極62bが層間電極接続材64bを介して一つに接続される。

【0062】続いて、層間電極接続材64a、64bの外側に、Cu、Ni等のメッキ処理を施し、更にセラミックス多層基板に実装する際の半田付け性を向上させるための半田メッキ処理や錫メッキ処理を行って、外部電極63a、63bをそれぞれ形成する。こうして、形成領域がずれている2種類の内部電極62a、62bがそ

$$L = (\mu_0 \cdot l / 2\pi) [1 \ln(2l/\omega) + 1/2 + \omega/3l] \quad (5)$$

但し、 μ_0 ：内部導体層72の透磁率

l ：内部導体層72の長さ

$$Q = 2\pi f L / R$$

但し、 f ：周波数

R ：内部導体層72の抵抗
によって表される。

【0068】次に、従来のチップ形状の積層型インダクタの製造方法を説明する。先ず、図21に示されるように、例えば比誘電率が8～10程度のアルミナ、比誘電率が9程度のAlN、比誘電率が8程度の窒化珪素等の低誘電率のセラミックス系材料からなる誘電体を用意し、この誘電体を厚さ数 μm ～20 μm 程度の非常に薄い板状にシート化し、適当な寸法に裁断して、複数枚の

それぞれ誘電体層61を介して交互に積層され、これらの積層構造をなす内部電極62a、62bがそれぞれ外部電極63a、63bに接続しているチップ形状の積層型コンデンサを形成する。

【0063】次に、従来のチップ形状の積層型インダクタ及びその製造方法について、図21～図23を用いて説明する。ここで、図21～図23はそれぞれ従来のチップ形状の積層型インダクタの製造方法を説明するための工程図であって、図21は誘電体層となる複数枚の誘電体基板を示す斜視図、図22は複数枚の誘電体基板に内部導体層が形成された状態を示す斜視図、図23は完成したチップ形状の積層型インダクタを示す斜視図である。

【0064】図23に示されるように、従来のチップ形状の積層型インダクタにおいては、誘電体層71中に、例えば抵抗率 $1.7 \times 10^{-8} \Omega \cdot \text{cm}$ のCuからなる厚さ1 μm 、幅100 μm の内部導体層72及びスルーホール73が立体的に角型のスパイラル構造をなしている。即ち、水平レベルにおいて直角に曲がっているパターンの内部導体層72が誘電体層71を介して複数層に形成されていると共に、隣接する層の内部導体層72の端部が垂直なスルーホール73によって接続され、全体として立体的に角型のスパイラル構造をなしている。

【0065】なお、内部導体層72の材料としては、Cuに限らず、Ag等の電気抵抗の低い金属導体材料を用いてもよい。また、ここでは内部導体層72が5層に積層している場合を図示しているが、実際には、要求されるインダクタンスLに応じて積層数は決定される。そして、内部導体層72及びスルーホール73が立体的に角型のスパイラル構造をなしている積層体の両サイドには2つの外部電極74a、74bがそれぞれ形成され、立体的なスパイラル構造をなす内部導体層72の最上層の端部及び最下層の端部が2つの外部電極74a、74bにそれぞれ接続されている。

【0066】そして、チップ形状の積層型インダクタのインダクタンスLは、次の式により与えられる。

ω ：内部導体層72の幅

【0067】また、Q値は、

$$(6)$$

誘電体基板71aを形成する。なお、誘電体基板71aの材料としては、低誘電率のセラミックス系材料を用いる代わりに、Ni-Zn等のフェライト材料やガラス材、マイカ材等の無機材料を用いてもよい。また、図中の誘電体基板71aに描かれている格子状の直線は、後の工程で誘電体基板71aをチップサイズに切断するための切断線75である。

【0069】次いで、図22に示されるように、複数枚の誘電体基板71aの所定の位置にスルーホール用の穴を明け、これらスルーホール用の穴に例えばCuからな

る導体を埋め込んで、スルーホール73を形成する。その後、スクリーン印刷法を用いて、電気抵抗の低い金属導体材料であるCuからなる導電性ペーストを印刷して、端部がスルーホール73に接続する内部導体層72を形成する。

【0070】このとき、スルーホール73の形成位置及び内部導体層72のパターンは、誘電体基板71a毎に異なり、これらの誘電体基板71aを積層した場合に、隣接する誘電体基板71aのスルーホール73が重なり合うと共に、この重なり合うスルーホール73を介して接続された各誘電体基板71aの内部導体層72が立体的なスパイラル構造をなすようにする。なお、ここでは4種類の内部導体層72のパターンを図示している。

【0071】続いて、内部導体層72及びスルーホール73が形成されている誘電体基板71aを積層成形して焼成する。その後、この誘電体基板71aの積層体を上記図21に示した切断線75に沿ってチップサイズに切り出して、所定のパターンの内部導体層72及びスルーホール73が形成されている誘電体層71の積層体を形成する。従って、この誘電体層71の積層体においては、隣接する誘電体層71のスルーホール73が重なり合って接続し、このスルーホール73を介して接続された各誘電体層71の内部導体層72が立体的なスパイラル構造をなす。

【0072】次いで、図23に示されるように、内部に内部導体層72及びスルーホール73を有する誘電体層71の積層体の両端部に外部電極74a、74bをそれぞれ形成し、立体的なスパイラル構造をなす内部導体層72の最上層の端部を外部電極74aに接続すると共に、内部導体層72の最下層の端部を外部電極74bに接続する。こうして、誘電体層71の内部において内部導体層72及びスルーホール73が立体的なスパイラル構造をなし、その内部導体層72の最上層及び最下層の両端部がそれぞれ外部電極74a、74bに接続されているチップ形状の積層型インダクタを形成する。

【0073】

【発明が解決しようとする課題】上記図14及び図15に示される受動素子としての抵抗素子R21、R22やコンデンサC21、C22を内蔵化した従来のセラミックス多層基板においては、例えばコンデンサC22を構成する下部電極、この下部電極上のバリアメタル層、このバリアメタル層上の誘電体層、この誘電体層上のバリアメタル層、及びこのバリアメタル層上の上部電極を形成する場合、一般的にスクリーン印刷法を用いているため、これらの電極、抵抗層、バリアメタル層、誘電体層等をグリーンシートに機械的ダメージや熱的ストレスを加えることなく形成することは困難であった。また、グリーンシートは、焼成する前のセラミックス薄板であることから、柔らかくて、各層や積層体の固定又は位置決め等に工夫を要した。

【0074】また、コンデンサC21、C22の温度特性は、B特性又はF特性となる場合が多く、C特性となることは稀であり、B特性又はF特性のコンデンサはその静電容量を大きくして電源回路等のコンデンサとして使用することが殆どである。その反面、スクリーン法による印刷において形成可能な膜厚は、少なくとも $20\mu\text{m}$ ～ $30\mu\text{m}$ 以上にならざるを得ないため、誘電体層の膜厚を薄くすることが困難であることから、高容量のコンデンサを形成することが困難であった。

【0075】なお、高容量のコンデンサを形成するため、近年、薄膜プロセスによる誘電体層の成膜やBaSrTiO₃等の強誘電体材料の採用がなされている。但し、このような形成方法や誘電体材料を使用して形成されたコンデンサの特性は余り良好でないことが知られている。このことは、温度特性、 $\tan\delta$ 、周波数特性から実証されている。従って、このような形成方法や誘電体材料の採用には、新たな工夫を必要とする。

【0076】また、コンデンサC22を形成したグリーンシートを含む複数枚のグリーンシートを積層してセラミックス多層基板を形成する際の焼成工程においては、特殊な工法を使用しない限り、一般的に最初のグリーンシートの状態からX-Y方向に10%～20%程度、Z方向にも同じ程度の収縮が生じて、0.1%～5%程度の誤差が発生し、焼成工程後のコンデンサの容量は、目標値の20%～30%程度又はそれ以上のバラツキが発生するため、電子回路の中のコンデンサとしての用途は限定されたものとなった。

【0077】また、上記図16に示される受動素子としての角形のスパイラル構造のインダクタ50を内蔵化した従来のセラミックス多層基板においても、大きなインダクタンスLと高いQ値を安定的に有するインダクタをセラミックス多層部の表層部又は内層部に形成することは困難である。

【0078】例えば導体層の材料として抵抗率 $1.7 \times 10^{-8} \Omega \cdot \text{m}$ のCuを用いた幅 $100\mu\text{m}$ 、厚さ $1\mu\text{m}$ 、長さ 10mm のインダクタの場合、そのインダクタンスLは 11.6nH 程度であり、周波数 10MHz におけるQ値は0.4程度であって、インダクタンスL及びQ値は共に低い。このインダクタンスLを大きくするには導体層の長さを長くする必要があるが、回路パターン設計上、余りに長い直線状の導体層を形成することは困難であるため、角形又は丸形のスパイラル形状の導体層からなるインダクタが多く採用されている。

【0079】例えば $30\text{mm} \square$ 又は $30\text{mm} \phi$ の角形又は丸形のスパイラル形状の導体層においては、インダクタンスLは $4\mu\text{H}$ 程度となり、周波数 10MHz におけるQ値は4.5程度となる。しかも、この場合に、導体層の抵抗率、下地基板の表面状態、パターン精度などが特性に大きく影響し、また高周波になればなるほど導体層間の容量が関係して、特性に大きな影響を与える。従

って、インダクタンス L と高い Q 値を安定的に有する良好な特性のインダクタをセラミックス多層部の表層部又は内層部に形成して、セラミックス多層基板に内蔵することは困難であった。

【0080】こうした角形又は丸形のスパイラル形状のインダクタを、現在市販されているチップ形状の積層型インダクタと比較すると、同じインダクタンス L で、周波数10MHzにおける Q 値が35程度となる特性が、大きさ L 1.6mm× W 0.8mm、高さ0.8mmのチップ形状の積層型インダクタによって達成されている。そして、チップ形状の積層型インダクタは更に小型化が進展し、最近においては大きさ L 1.0mm× W 0.5mmや L 0.6mm× W 0.3mmのタイプが実現されている。

【0081】また、上記図17に示されるコンデンサC31、C32を内蔵化した従来のセラミックス多層基板においては、コンデンサ用誘電体層 L 40の厚さを50 μ m～100 μ m、比誘電率を5～10（一般には5～7程度である）とすると、コンデンサC31、C32の静電容量 C としては1pF/mm²以下の値しか得られない。

【0082】そのために、このコンデンサ用誘電体層 L 40の比誘電率を大きくしてもっと高容量のコンデンサを得ようとする考えが出てくるが、基本的に誘電率が異なることは材料の組成自体が異なることになるため、グリーンシートの状態にすることは可能であっても、積層プレスして焼成する段階において収縮率が他の部の素材と異なることから、良好な積層体とはなり得ない。また、コンデンサ用誘電体層 L 40の厚さを薄くするため、コンデンサ用誘電体層 L 40となるグリーンシートを薄膜化することも考えられるが、他のセラミックス層となるグリーンシートの厚さを比べて極端に薄膜化すると、セラミックス層となるグリーンシートと共に積層することが困難になる。

【0083】従って、同時焼成型のセラミック積層体においては、異なる比誘電率をもつ異なる材料からなるグリーンシートや極端に薄膜化したグリーンシートを積層して高容量のコンデンサを得ようとするのは現状では困難である。

【0084】以上のように、受動素子を内蔵化したセラミックス多層基板においては、受動素子の高性能化、高精度化を十分に実現することができていないという現状がある。更に、受動素子1個当たりのコストは、チップ形状の積層型受動素子と比較して、その部品単価にチップ形状の積層型受動素子の実装費用を含めても、高価である。チップ形状の積層型受動素子は、最近の電子部品の実装がチップ部品を中心とする形態になってきたことから、大幅にその単価が低下しており、その単価部品はおおよそ1個当たり1円程度と見積もられている。従って、現状では、受動素子を内蔵化したセラミックス多層

基板は、一部の特殊なセラミックス多層基板を除いて採用されるに至っておらず、現状のチップ形状の積層型受動素子に置き換えて採用するレベルに到達していない。

【0085】他方、図20に示される従来のチップ形状の積層型コンデンサや図23に示される従来のチップ形状の積層型インダクタにおいても、これらのチップ形状の積層型受動素子をセラミックス多層基板表面にマウントして半田、導電性接着剤、ペースト等によって接続する実装工程が必要なこと、その際にチップ形状の積層型受動素子を搭載するセラミックス多層基板の表層部の面積には限界があること、また近年急激に進展してきた部品の小型軽量化も限界に近づきつつあること等から、現在以上の小型軽量化が困難な状況にあるという問題がある。

【0086】また、今後の通信分野における高周波回路、高速デジタル回路等、従来のチップ形状の部品形状では必要とされる特性を十分に発揮することが困難になりつつあるという問題もある。

【0087】そこで、セラミックス多層基板の小型軽量化のための多層化と受動素子の内蔵化を利点を活かしつつ、内蔵する受動素子の性能をチップ形状の積層型受動素子の性能と同等又はそれ以上の優れたものにすると共に、受動素子を内蔵するセラミックス多層基板の製造コストを低下させることが課題となっている。

【0088】本発明は、上記事情を鑑みてなされたものであり、チップ形状の積層型受動素子の性能と同等又はそれ以上の優れた性能を有する受動素子を内蔵化した多層基板を提供することを目的とする。

【0089】

【課題を解決するための手段】上記課題は、以下の本発明に係る多層基板により達成される。即ち、請求項1に係る多層基板は、積層型受動素子を内蔵する多層基板であって、スルーホール及び配線導体を形成した単一層又は複数層のセラミックス層からなるセラミックス層部と、このセラミックス層部に隣接して配置され、複数の導体層がそれぞれ誘電体層を介して積層されていると共にこれらの導体層の端部がスルーホールに接続されている積層型受動素子を内蔵する受動素子基板と、セラミックス層部及び受動素子基板を機械的に接合する絶縁性接合材と、セラミックス層部及び受動素子基板を電気的に接合する導電性接合材と、を有することを特徴とする。

【0090】このように請求項1に係る多層基板においては、積層型受動素子を内蔵する受動素子基板が単一層又は複数層のセラミックス層からなるセラミックス層部と絶縁性接合材及び導電性接合材を介して機械的、電気的に接合されていることにより、セラミックス層部の形成と独立に、受動素子基板に積層型受動素子を内蔵して形成することが可能であり、然もその際に積層型受動素子を従来のチップ形状の積層型受動素子と基本的に同一の積層構造に形成することが可能であるため、従来のチ

チップ形状の積層型受動素子を多層基板に実装する場合と同等の良好な特性が得られる。

【0091】なお、ここで、受動素子基板に内蔵される積層型受動素子としては、例えば積層型コンデンサ、積層型インダクタがあり、その他にも積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等がある。そして、特にコンデンサやインダクタの場合、現状においては積層型が最も良好な特性を得ることができるため、従来のコンデンサやインダクタを内蔵した多層基板と比較すると、その特性が飛躍的に改善される。

【0092】また、受動素子基板に内蔵される積層型受動素子の外部電極としてスルーホールが機能し、このスルーホールによって積層型受動素子がセラミックス層部に電気的に接続されることから、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりもその接続配線長が短縮されるため、従来のチップ形状の積層型受動素子を多層基板に実装する場合以上の良好な特性が得られる。

【0093】また、受動素子基板に内蔵される積層型受動素子には、従来の多層基板の表層部に搭載するチップ形状の積層型受動素子のように外部電極を必要としないことから、その分だけ積層型受動素子の小型化を実現することが可能になるため、その収納面積が小さくなり、引いては多層基板の面積を従来よりも小さくする可能性が生じる。

【0094】また、積層型受動素子が受動素子基板に内蔵されて形成されることから、従来のチップ形状の積層型受動素子を他の電子部品と共に多層基板の表層部に搭載する場合と比較すると、受動素子基板に形成される積層型受動素子の密度は大幅に低下する。このため、受動素子基板には十分な空きスペースが生じ、その空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となり、電気的特性が向上する。また、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりも遙に多くの積層型受動素子を受動素子基板に形成することが可能になり、電気的特性が向上すると共に、積層型受動素子の1個当たりの単価が低減する。そして、いずれの場合も、従来のチップ形状の積層型受動素子を搭載する多層基板よりもその積層する層数を減少させる可能性が生じる。

【0095】また、受動素子基板に内蔵される積層型受動素子を形成する際、同一の工程によって同時に受動素子基板を形成することが可能になるため、従来のチップ形状の積層型受動素子を形成する場合より新たな工程を要することがなく、コストの上昇が防止される。

【0096】逆に、複数の積層型受動素子を同一の工程によって同時に形成することが可能になるため、また積層型受動素子を構成する複数の積層された導体層に接続するスルーホールが積層型受動素子の外部電極の機能を果たすことから、従来のチップ形状の積層型受動素子の

外部電極を形成する工程が不要となるため、却って工程が簡略化され、コストの低下が実現される。

【0097】なお、上記請求項1に係る多層基板において、受動素子基板上にビルドアップ層が形成されている構成とすることも可能である。この場合、受動素子基板上に形成されるビルドアップ層の数は、1層に限定されず複数層であってもよい。

【0098】また、請求項3に係る多層基板は、積層型受動素子を内蔵する多層基板であって、スルーホール及び配線導体を形成した単一層又は複数層のセラミックス層からなる複数のセラミックス層部と、これら複数のセラミックス層部の間に介在して配置され、導体層が形成された複数の誘電体層が積層されていると共に導体層がスルーホールによって接続されている積層型受動素子を内蔵する受動素子基板と、複数のセラミックス層部及び受動素子基板を機械的に接合する絶縁性接合材と、複数のセラミックス層部及び受動素子基板を電気的に接合する導電性接合材と、を有することを特徴とする。

【0099】このように請求項3に係る多層基板においては、積層型受動素子を内蔵する受動素子基板が単一層又は複数層のセラミックス層からなる複数のセラミックス層部の間に介在して配置され、これら複数のセラミックス層部と絶縁性接合材及び導電性接合材を介して機械的、電気的に接合されていることにより、複数のセラミックス層部の形成と独立に、受動素子基板に積層型受動素子を内蔵して形成することが可能であり、然もその際に積層型受動素子を従来のチップ形状の積層型受動素子と基本的に同一構造に形成することが可能であるため、上記請求項1に係る多層基板の場合と同様に、従来のチップ形状の積層型受動素子を多層基板に実装する場合と同等の良好な特性が得られる。

【0100】また、上記請求項1に係る多層基板の場合と同様に、外部電極として機能するスルーホールによって積層型受動素子がセラミックス層部に電気的に接続されるため、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりもその接続配線長が短縮されて従来以上の良好な特性が得られ、また従来のチップ形状の積層型受動素子のように外部電極を必要とせず積層型受動素子の小型化が実現されるため、その収納面積が小さくなり引いては多層基板の面積を従来よりも小さくする可能性が生じ、また受動素子基板に形成される積層型受動素子の密度は大幅に低下するため、空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となって電気的特性が向上し、従来よりも遙に多くの積層型受動素子を受動素子基板に形成することが可能になって電気的特性が向上すると共に積層型受動素子の1個当たりの単価が低減し、従来のチップ形状の積層型受動素子を搭載する多層基板よりも積層する層数を減少させる可能性が生じ、また積層型受動素子と受

動素子基板とが同一の工程によって同時に受動素子基板を形成することが可能になるため、新たな工程を要することなくコストの上昇が防止され、また複数の積層型受動素子を同一の工程によって同時に形成することが可能になると共に従来のチップ形状の積層型受動素子の外部電極を形成する工程が不要となるため、工程が簡略化されてコストの低下が実現される。

【0101】更に、積層型受動素子を内蔵する受動素子基板が複数個のセラミックス層部の間に介在することから、即ち積層型受動素子を内蔵する受動素子基板を多層基板の内層部の任意の位置に自由に配置することが可能になるため、積層型受動素子の特性に応じた最適配置による回路特性の向上が図られる。

【0102】なお、上記請求項1又は3に係る多層基板において、受動素子基板に同一種類の複数個の積層型受動素子を内蔵することが可能である。例えば積層型コンデンサのみを受動素子基板に必要な個数だけ形成してもよいし、積層型インダクタのみを受動素子基板に必要な個数だけ形成してもよい。

【0103】また、受動素子基板に異なる種類の複数個の積層型受動素子が内蔵されていることも可能である。例えば複数個の積層型コンデンサと複数個の積層型インダクタを受動素子基板に混在させて形成してもよい。更に、その他、積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を混在させて形成してもよい。

【0104】また、受動素子基板に、積層型受動素子と共に電源、グランド、又は信号線を混在して形成してもよい。この場合、多層基板全体としての電気的特性が向上すると共に、従来のチップ形状の積層型受動素子を搭載する多層基板よりもその積層する層数を減少させる可能性が生じる。

【0105】なお、請求項1に係る多層基板におけるセラミックス層部を構成するセラミックス層や請求項3に係る多層基板における複数個のセラミックス層部を構成するセラミックス層は、アルミナ、ガラスセラミック、AlN、SiN（窒化珪素）、若しくはジルコニウム、又はこれらの混合体を材料とするグリーンシートを焼成して形成したものであることが好適である。

【0106】また、上記請求項1又は3に係る多層基板において、積層型受動素子を構成する誘電体層の材料としては、セラミックス系材料、ガラス材、マイカ材、フェライト材、又は有機材料が用いられていることが好適である。

【0107】また、上記請求項1又は3に係る多層基板において、絶縁性接合材としては、低温融点ガラス、ポリイミド、エポキシ樹脂、又はアルミナ、ガラスセラミック、AlN、SiN、若しくはジルコニウム、若しくはこれらの混合体が用いられていることが好適である。

【0108】また、上記請求項1又は3に係る多層基板において、導電性接合材としては、Cu、Ag、Ag-

Pt合金、Ag-Pd合金、Mo、若しくはW、又はこれらの混合体が用いられていることが好適である。

【0109】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

（第1の実施形態）図1は本発明の第1の実施形態に係る積層型コンデンサを内蔵したセラミックス多層基板を示す概略断面図であり、図2は図1のセラミックス多層基板に内蔵された積層型コンデンサを示す断面図であり、図3は図2の積層型コンデンサの構造を説明するための概略斜視図である。

【0110】図1に示されるように、セラミックス系材料からなる4層のセラミックス層L1、L2、…、L4が順に積層され、セラミックス多層部Bを構成している。そして、そのセラミックス層L1上面、セラミックス層L1、L2間、セラミックス層L2、L3間、セラミックス層L3、L4間、及びセラミックス層L4下面には、それぞれ複数個の配線導体層M1、M2、…、M5が形成されている。また、これらのセラミックス層L1、L2…、L4には、それぞれ配線導体層M1、M2、…、M5に接続する複数のスルーホール11が形成されている。

【0111】また、このセラミックス多層部Bの最上層のセラミックス層L1上には、複数個の積層型コンデンサ12を内蔵している受動素子基板13が形成されている。そして、この積層型コンデンサ12は、図2及び図3に示されるように、例えば厚さ数 μm ～20 μm 程度の非常に薄い板状の誘電体層14を介して、形成領域ががずれている2種類の内部電極15a、15bが交互に積層してなるものである。なお、ここでは、10層に積層した場合を図示しているが、実際には、要求される静電容量Cに応じて、数十層にも積層される。

【0112】また、交互に積層された内部電極15a、15bを挟んでその両端部には、外部電極として機能する2種類のスルーホール16a、16bが設けられており、これら2種類のスルーホール16a、16bに積層構造をなす内部電極15a、15bがそれぞれに接続されている。即ち、例えば一番上の内部電極15aは一方のスルーホール16aに接続され、二番目の内部電極15bは他方のスルーホール16bに接続され、以下同様にして、奇数番目の内部電極15aはスルーホール16aに接続され、偶数番目の内部電極15bはスルーホール16bに接続されている。なお、受動素子基板13には、通常のスルーホール17も形成されている。

【0113】また、こうした積層型コンデンサ12を内蔵している受動素子基板13の上面及び下面には、それぞれスルーホール16a、16b、17に接続する配線導体層M6、M7が形成されている。

【0114】また、セラミックス多層部B及び受動素子基板13は、絶縁性接合材18及び導電性接合材19に

よって機械的及び電氣的に接合されている。即ち、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板13との間には、絶縁性接合材18及び導電性接合材19が所定の位置に配置されて介在している。そして、セラミックス多層部Bのセラミックス層L1と受動素子基板13とが絶縁性接合材18によって機械的に接合されていると共に、セラミックス層L1上面の配線導体層M1と受動素子基板13下面の配線導体層M7とが導電性接合材19によって電氣的に接合されている。

【0115】また、受動素子基板13上には、例えば厚さ数 μm ～100 μm 程度のビルドアップ層20が形成されている。そして、このビルドアップ層20には、受動素子基板13上面の配線導体層M6にそれぞれ接続する複数のスルーホール21が形成されている。また、ビルドアップ層20上面には、これら複数のスルーホール21にそれぞれ接続する配線導体層M8が形成されている。

【0116】次に、上記図1～図3に示されるセラミックス多層基板及び積層型コンデンサ12を構成する各要素に使用される材料について説明する。セラミックス多層部Bを構成するセラミックス層L1、L2、…L4の材料としては、例えばAlN、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミックス系材料を用いる。また、配線導体層M1、M2、…、M8、及びスルーホール11、16a、16b、17、21の材料としては、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体を用いる。

【0117】また、積層型コンデンサ12の誘電体層14としては、比誘電率が8～10程度のアルミナ、比誘電率が9程度のAlN、比誘電率が8程度のSiN、又は比誘電率が2000程度のBaTiO₃等のセラミックス系材料を用いる。これは同時に、受動素子基板13の基板材料でもある。また、積層型コンデンサ12の内部電極15a、15bとしては、例えばAg、Ag-Pt、Ag-Pd、Ni等の金属導体材料からなる導電性ペーストを用いる。

【0118】また、絶縁性接合材18としては、例えばアルコキシドシラン・アルコール等から構成されるスピノングラスなどの低温溶融ガラスからなる絶縁性ペーストを用いる。その他、ポリイミド、エポキシ系樹脂や上記のセラミックス層L1、L2、…、L4と同じセラミック材料を水又はアルコール等で混練した絶縁性ペーストを用いてもよい。なお、この絶縁性接合材18としてガラス材からなる絶縁性ペーストを用いる場合には、セラミックス多層部B及び受動素子基板13間の機械的接合力が極めて強いこと、接続部の気密が保持されること、ガラスセラミックスと同程度の熱膨張係数が得られ易いことなどの利点がある。

【0119】また、導電性接合材19は、基本的に電氣的な接続対象となる配線導体層M1、M2、…、M8や

スルーホール11、16a、16b、17、21と同種の導体材料を選択することが好適であるため、Cu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体をアルコール等の溶剤中に混練した導電性ペーストを用いる。

【0120】また、ビルドアップ層20の材料としては、例えばポリイミド、エポキシ系樹脂等の有機材料や結晶化ガラス等の無機材料を用いる。

【0121】次に、図1に示す積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを、図4～図7を用いて説明する。ここで、図4～図7はそれぞれ図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図である。

【0122】まず、図1のセラミックス多層基板を構成するセラミックス多層部Bの形成を行う。即ち、図4(b)に示されるように、従来と同様の方法を用いて、例えば厚さ50 μm ～250 μm 程度、縦横寸法50 μm ～200 μm 程度のAlN、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミックス系材料からなる4枚のグリーンシートを形成する。

【0123】続いて、これら4枚のグリーンシートに、例えば穴径50 μm ～200 μm 程度の複数のスルーホール用の穴を明ける。なお、スルーホール用の穴明け方法としては、通常の場合と同様に、例えばドリルによる方法、金型による方法、又はレーザ等を用いる方法等を用いる。その後、これらスルーホール用の穴に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込み、スルーホール11を形成する。なお、スルーホール用の穴に導体を埋め込む方法としては、通常の場合と同様に、例えばスクリーン印刷法を用いる。

【0124】続いて、これら4枚のグリーンシートグリーンシートの上面又は上面及び下面に、例えばスルーホール11の形成に使用した導体と同系統の導体印刷により、スルーホール11の受けランド、配線パターン、部品ランド等の配線導体層M1、M2、…、M5をそれぞれ形成する。

【0125】続いて、4枚のグリーンシートを位置合わせした上で順次積み上げ、各グリーンシート間にエア等が残らないように積層プレスを行った後、所望の大きさに切断する。そして、これら4枚の積層されたグリーンシートを加熱し、場合によっては加圧して、グリーンシート内に存在するバインダーを除去した後、焼成を行い、4枚の積層されたグリーンシートを4層のセラミックス層L1、L2、…、L4とする。なお、このときの焼成温度は、例えばAlNや高純度アルミナ等を材料とする場合は1000～1300℃に設定し、ガラスセラミック等を材料とする場合は900℃前後に設定する。こうして、4層のセラミックス層L1、L2、…、L4が積層されたセラミックス多層部Bを形成する。

【0126】次いで、図4(a)に示されるように、複数の積層型コンデンサ12を内蔵している受動素子基板13を形成する。即ち、上記図18～図19を用いて説明した従来の場合と同様にして、例えばアルミナ、AlN、窒化珪素、又はBaTiO₃等のセラミックス系材料からなる誘電体を用意し、この誘電体を厚さ数 μm ～20 μm 程度の非常に薄い板状にシート化し、適当な寸法に裁断して、複数枚の誘電体基板を形成する。そしてこれら複数枚の誘電体基板のそれぞれに、スクリーン印刷法を用いて、例えばAg、Ag-Pt、Ag-Pd、Ni等の金属導体材料からなる導電性ペーストを印刷する。このとき、上記図19に示される場合と同様に、誘電体基板毎に導電性ペーストを塗布する領域をずらして、2種類の内部電極15a、15bを形成する。なお、内部電極15a、15bを形成する方法としては、上記のスクリーン印刷法の代わりに、例えばスパッタ法やCVD法を用いてもよい。

【0127】続いて、内部電極15a、15bの形成領域がずれた2種類の誘電体基板を交互に積層成形した後、焼成する。その後、従来のチップ形状の積層型コンデンサを作製する場合のようにチップサイズにカットするのではなく、セラミックス多層部Bの大きさに対応させたサイズにカットして、誘電体層14の積層体である受動素子基板13を形成する。従って、この受動素子基板13には、複数箇所において、形成領域がずれている2種類の内部電極15a、15bがそれぞれ誘電体層14を介して交互に積層されている。

【0128】続いて、この受動素子基板13の所定の位置に、スルーホール16a、16b、17を形成する。このとき、スルーホール16a、16bは、誘電体層14を介して交互に積層されている内部電極15a、15bを挟んでその両端部に位置しており、この積層構造をなす内部電極15a、15bがそれぞれ交互に接続するようになっている。即ち、形成領域のずれた内部電極15a、15bの積層構造において、例えば奇数層の内部電極15aはスルーホール16aに接続し、偶数層の内部電極15bはスルーホール16bに接続している。

【0129】こうして、それぞれ誘電体層14を介して内部電極15a、15bが交互に積層され、これらの積層構造をなす内部電極15a、15bがそれぞれにスルーホール16a、16bに接続し、これらスルーホール16a、16bが外部電極の機能を果たす複数の積層型コンデンサ12を受動素子基板13に内蔵して形成する。その後、受動素子基板13の上面及び下面に、スルーホール16a、16b、17に接続する配線導体層M6、M7をそれぞれ形成する。

【0130】次いで、セラミックス多層部Bと受動素子基板13との機械的、電気的な接続を行う。即ち、図5に示されるように、セラミックス多層部Bの最上層のセラミックス層L1上面に、例えば印刷等の方法により、

所定の配線導体層M1を露出させる開口部を設けて、絶縁性接合材18を形成する。具体的には、例えばアルコキシドシラン・アルコール等から構成されるスピノングラスなどの低温熔融ガラスからなる絶縁性ペーストを塗布する。

【0131】続いて、同じくセラミックス層L1上面における絶縁性接合材18の開口部に例えば印刷、ポッティング等の方法により、導電性接合材19を露出した配線導体層M1に接続させて形成する。具体的には、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体をアルコール等の溶剤を用いて混練した導電性ペーストを塗布する。

【0132】なお、こうした絶縁性接合材18や導電性接合材19の材料の具体的な選択は、次の接続工程における熱処理温度、その際の熱膨張係数などを勘案して行うことが望ましい。また、導電性接合材19の材料としては、基本的に電気的な接続対象となる配線導体層M1、M7等と同種の導体材料を選択することが好適である。

【0133】次いで、図6に示されるように、セラミックス多層部Bと受動素子基板13とを所定の位置に揃えて積層する。そして、絶縁性接合材18及び導電性接合材19を例えば400℃～500℃程度に加熱して熔融すると共に、塗布したままの状態では導電性を有しない導電性ペーストからなる導電性接合材19を導電化させる。こうして、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板13とを両者の間に介在させた絶縁性接合材18によって機械的に接合すると共に、セラミックス層L1上面の配線導体層M1と受動素子基板13下面の配線導体層M7とを両者の間に介在させた導電性接合材19によって電気的に接合する。また、同時に加圧して、その機械的及び電気的な接合を均一かつ強固なものにする。

【0134】次いで、図7に示されるように、受動素子基板13上にビルドアップ層20を形成する。即ち、例えばポリイミド、エポキシ系樹脂等の有機材料を用いる場合、印刷、スピンコート、シート状材料の張り合わせ等により受動素子基板13上面に塗布した後、熱硬化やUV等の照射によって硬化させる。また、結晶化ガラス等の無機材料を用いる場合、印刷等により受動素子基板13上面にペースト状のガラスを塗布した後、焼成して固化する。こうして、受動素子基板13上にビルドアップ層20を形成する。

【0135】続いて、レーザ等によりビルドアップ層20に複数のスルーホール用の穴を開口し、これらのスルーホール用の穴に例えばメッキ、導体ペーストの塗布、スパッタ等を用いて導体を埋め込み、受動素子基板13上面に形成されている配線導体層M6にそれぞれ接続する複数のスルーホール21を形成する。

【0136】また、ビルドアップ層20上面に導体層の

印刷、メッキ、スパッタ等を行い、スルーホール21の受けランド、配線パターン、部品ランド等の配線導体層M8を形成する。

【0137】このようにして、上記図1に示される積層型コンデンサ12を内蔵したセラミックス多層基板を製作する。

【0138】以上のように本実施形態によれば、セラミックス多層部Bの形成とは独立に、従来のチップ形状の積層型コンデンサと基本的に同一構造の複数の積層型コンデンサ12を受動素子基板13に内蔵して形成し、その後、この受動素子基板13をセラミックス多層部B上に絶縁性接合材18及び導電性接合材19を介して機械的及び電氣的に接合していることにより、セラミックス多層基板に内蔵された複数の積層型コンデンサ12の特性として、従来のセラミックス多層基板に実装するチップ形状の積層型コンデンサの特性と同等の良好な特性を得ることができる。更に、このとき、積層型コンデンサ12の積層構造をなす内部電極15a、15bはそれぞれに接続するスルーホール16a、16bがいわゆる外部電極として機能し、受動素子基板13の上面及び下面に形成されている配線導体層M6、M7を介してビルドアップ層20のスルーホール21やセラミックス多層部Bの配線導体層M1に接続していることにより、従来のチップ形状の積層型コンデンサをセラミックス多層基板に実装する場合よりもその接続配線長が短縮されるため、従来の以上の良好な特性を得ることができる。

【0139】また、受動素子基板13に内蔵される積層型コンデンサ12には、従来のチップ形状の積層型コンデンサの外部電極を必要としないことから、その分だけ素子の小型化を実現することができるため、その収納面積が小さくなり、引いてはセラミックス多層基板の面積を従来よりも小さくすることが可能になる。

【0140】また、従来のチップ形状の積層型コンデンサをセラミックス多層基板に実装する場合よりも遙に多くの数の積層型コンデンサ12を受動素子基板12に形成することが可能になるため、全体としての電氣的特性を向上させることができる。また、積層型コンデンサ12の1個当たりの単価を低減させることができる。また、従来のチップ形状の積層型コンデンサを実装するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0141】また、受動素子基板13に内蔵される積層型コンデンサ12を形成する際、同一の工程によって同時に受動素子基板13を形成するため、従来のチップ形状の積層型コンデンサを形成する場合と比較しても新たな工程を要することがなく、コストの上昇を防止することができる。逆に、複数の積層型コンデンサ12を同一の工程によって同時に形成すること、また、従来のチップ形状の積層型コンデンサの外部電極を形成する工程が不要となることから、却って工程が簡略化されて、コス

トの低下を実現することができる。

【0142】なお、上記第1の実施形態に係るセラミックス多層基板においては、その受動素子基板13に複数の積層型コンデンサ12を内蔵して形成している場合について述べているが、複数の積層型コンデンサ12のみならず、種類の異なる積層型受動素子を内蔵して形成することも可能である。例えば複数の積層型コンデンサ12と共に複数の積層型インダクタを混在させて形成してもよい。更に、その他、積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を混在させて形成してもよい。そして、このことにより、全体としての電氣的特性を向上させることができると共に、従来のチップ形状の積層型受動素子を搭載するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0143】また、受動素子基板13に複数の積層型コンデンサ12を内蔵して形成している場合、更には複数の積層型コンデンサ12と共に他の種類の積層型受動素子を混在させて形成している場合であっても、従来のチップ形状の積層型受動素子を他の電子部品と共にセラミックス多層基板に搭載する場合と比較すると、受動素子基板12に形成される積層型受動素子の密度が大幅に低下する。このため、その空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となる。そして、このことによっても、全体としての電氣的特性を向上させることができると共に、従来のチップ形状の積層型受動素子を搭載するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0144】また、上記第1の実施形態に係るセラミックス多層基板においては、複数の積層型コンデンサ12を内蔵している受動素子基板13上にビルドアップ層20が形成されている場合について説明しているが、このビルドアップ層20は必須のものではなく、セラミックス多層部B上に複数の積層型コンデンサ12を内蔵している受動素子基板13が絶縁性接合材18及び導電性接合材19によって機械的及び電氣的に接合されているだけの構造であってもよい。また、逆に、受動素子基板13上にビルドアップ層20が1層だけ形成されるのではなく、複数層に形成されてもよい。

【0145】(第2の実施形態)図8は本発明の第2の実施形態に係る積層型コンデンサを内蔵したセラミックス多層基板を示す概略断面図である。なお、上記第1の実施形態の図1～図3に示されるセラミックス多層基板の構成要素と同一の要素には同一の符号を用いて、説明を省略する。

【0146】上記第1の実施形態においては、セラミックス層L1、L2、…、L4が積層されたセラミックス多層部B上に複数の積層型コンデンサ12を内蔵している受動素子基板13が形成され、両者が絶縁性接合材18及び導電性接合材19によって機械的及び電氣的に接合されていると共に、この受動素子基板13上にビル

ドアップ層20が形成されているのに対して、本実施形態は、複数のセラミックス多層部間に複数の積層型コンデンサを内蔵している受動素子基板が介在し、これら複数のセラミックス多層部と受動素子基板とが絶縁性接合材及び導電性接合材によって機械的及び電氣的に接合されている点に特徴がある。

【0147】図8に示されるように、セラミックス系材料からなる4層のセラミックス層L1、L2、…、L4が順に積層され、セラミックス多層部B1を構成している。そして、そのセラミックス層L1上面、セラミックス層L1、L2間、セラミックス層L2、L3間、セラミックス層L3、L4間、及びセラミックス層L4下面には、それぞれ複数の配線導体層M1、M2、…、M5が形成されている。また、これらのセラミックス層L1、L2…、L4には、それぞれ配線導体層M1、M2、…、M5に接続する複数のスルーホール11が形成されている。

【0148】また、セラミックス多層部B1の最上層のセラミックス層L1上には、複数の積層型コンデンサ12を内蔵している受動素子基板13が形成されている。この積層型コンデンサ12は、上記第1の実施形態の図2及び図3に示される場合と同様に、厚さ数 μm ～20 μm 程度の非常に薄い板状の誘電体層14を介して、形成領域ががずれている2種類の内部電極15a、15bが交互に積層してなるものであり、この積層構造をなす内部電極15a、15bは外部電極として機能する2種類のスルーホール16a、16bにそれぞれ接続されている。そして、こうした積層型コンデンサ12を内蔵している受動素子基板13の上面及び下面には、受動素子基板13に形成されているスルーホール16a、16b及びスルーホール17に接続する配線導体層M6、M7が形成されている。

【0149】また、この受動素子基板13上には、セラミックス系材料からなる2層のセラミックス層L5、L6が積層され、セラミックス多層部B2を構成している。そして、そのセラミックス層L5上面、セラミックス層L5、L6間、及びセラミックス層L6下面には、それぞれ複数の配線導体層M9、M10、M11が形成されている。また、これら2層のセラミックス層L5、L6には、それぞれ配線導体層M9、M10、M11に接続する複数のスルーホール22が形成されている。

【0150】また、セラミックス多層部B1及びセラミックス多層部B2とこれら2つのセラミックス多層部B1、B2間に介在している受動素子基板13とは、それぞれ絶縁性接合材18及び導電性接合材19によって機械的及び電氣的に接合されている。即ち、セラミックス多層部B1の最上層のセラミックス層L1と受動素子基板13との間及び受動素子基板13とセラミックス多層部B2の最下層のセラミックス層L6との間には、それ

ぞれ絶縁性接合材18及び導電性接合材19が所定の位置に配置されて介在している。そして、セラミックス多層部B1のセラミックス層L1と受動素子基板13とが絶縁性接合材18によって機械的に接合され、セラミックス層L1上面の配線導体層M1と受動素子基板13下面のM7とが導電性接合材19によって電氣的に接合されていると共に、受動素子基板13とセラミックス多層部B2のセラミックス層L6とが絶縁性接合材18によって機械的に接合され、受動素子基板13上面のM6とセラミックス層L6下面の配線導体層M11とが導電性接合材19によって電氣的に接合されている。

【0151】次に、上記図8に示されるセラミックス多層基板及び積層型コンデンサ12を構成する各要素に使用される材料について説明する。但し、上記第1の実施形態において既に説明したものは省略する。

【0152】セラミックス多層部B2を構成するセラミックス層L5、L6の材料としては、セラミックス多層部B1のセラミックス層L1、L2、…、L4と同様に、例えばA1N、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミックス系材料を用いる。また、配線導体層M9、M10、M11及びスルーホール22の材料には、配線導体層M1、M2、…、M7及びスルーホール11、16a、16b、17と同様に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体を用いる。

【0153】次に、図8に示す積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを、図9～図11を用いて説明する。ここで、図9～図11はそれぞれ図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図である。

【0154】先ず、上記第1の実施形態の図4(b)に示される場合と同様にして、図8のセラミックス多層基板を構成するセラミックス多層部B1の形成を行う。即ち、図9(c)に示されるように、例えばA1N、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミック系材料からなる4枚のグリーンシートに複数のスルーホール用の穴を明けて、これらスルーホール用の穴に例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込んでスルーホール11を形成し、更にこれら4枚のグリーンシートグリーンシートの上面又は上面及び下面にスルーホール11の受けランド、配線パターン、部品ランド等の配線導体層M1、M2、…、M5をそれぞれ形成する。続いて、これら4枚のグリーンシートを位置合わせした上で順次積み上げて積層プレスを行い、所望の大きさに切断し、更に加熱し、場合によっては加圧して、グリーンシート内に存在するバインダーを除去した後、焼成を行い、4枚の積層されたグリーンシートを4層のセラミックス層L1、L2、…、L4とする。こうして、

これら4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部B1を形成する。

【0155】また、この4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部B1を形成する場合と同様にして、図9(a)に示されるように、例えばAlN、高純度アルミナ、ガラスセラミック、又はジルコニア等からなる2層のセラミックス層L5、L6が順に積層されたセラミックス多層部B2を形成する。

【0156】次いで、上記第1の実施形態の図4(a)に示される場合と同様にして、図9(b)に示されるような複数個の積層型コンデンサ12を内蔵している受動素子基板13を形成する。即ち、例えばアルミナ、AlN、窒化珪素、又はBaTiO₃等のセラミックス系材料からなる誘電体を厚さ数 μm ～20 μm 程度の非常に薄い板状にシート化し、適当な寸法に裁断して形成した複数枚の誘電体基板に、例えばAg、Ag-Pt、Ag-Pd、Ni等の金属導体材料からなる導電性ペーストを誘電体基板毎に塗布領域をずらして印刷して、誘電体基板毎に形成領域がずれた2種類の内部電極15a、15bを形成した後、これら内部電極15a、15bの形成領域がずれた2種類の誘電体基板を交互に積層成形し、更に焼成し、セラミックス多層部B1、B2の大きさに対応させたサイズにカットして、誘電体層14の積層体である受動素子基板13を形成する。続いて、この受動素子基板13の所定の位置に、スルーホール16a、16b、17を形成する。こうして、それぞれ誘電体層14を介して複数層の内部電極15a、15bが交互に積層され、これらの積層構造をなす内部電極15a、15bがそれぞれにスルーホール16a、16bに接続し、これらスルーホール16a、16bが外部電極の機能を果たす積層型コンデンサ12を受動素子基板13に内蔵して形成する。その後、更に受動素子基板13の上面及び下面に、スルーホール16a、16bに接続する配線導体層M6、M7をそれぞれ形成する。

【0157】次いで、セラミックス多層部B1と受動素子基板13とセラミックス多層部B2との機械的、電気的な接続を行う。即ち、図10に示されるように、セラミックス多層部B1の最上層のセラミックス層L1上面に、所定の配線導体層M1を露出させる開口部を設けて、絶縁性接合材18を形成した後、同じくセラミックス層L1上面における絶縁性接合材18の開口部に、導電性接合材19を露出した配線導体層M1に接続させて形成する。同様にして、セラミックス多層部B2の最下層のセラミックス層L6下面に、所定の配線導体層M11を露出させる開口部を設けて、絶縁性接合材18を形成した後、同じくセラミックス層L6下面における絶縁性接合材18の開口部に、導電性接合材19を露出した配線導体層M11に接続させて形成する。

【0158】次いで、図11に示されるように、セラミ

ックス多層部B1と受動素子基板13とセラミックス多層部B2とを所定の位置に揃えて順に積層して、絶縁性接合材18及び導電性接合材19を加熱溶融すると共に、塗布したままの状態では導電性を有しない導電性ペーストからなる導電性接合材19を導電化させる。こうして、セラミックス多層部B1及びセラミックス多層部B2並びに両セラミックス多層部B1、B2間に挟まれている受動素子基板13をそれぞれの間に介在させた絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合する。即ち、セラミックス多層部B1の最上層のセラミックス層L1と受動素子基板13とセラミックス多層部B2の最下層のセラミックス層L6とをそれぞれ間に介在させた絶縁性接合材18によって機械的に接合すると共に、セラミックス層L1上面の配線導体層M1と受動素子基板13下面の配線導体層M7とをその間に介在させた導電性接合材19によって電気的に接合し、受動素子基板13上面の配線導体層M6とセラミックス層L6下面の配線導体層M11とをその間に介在させた導電性接合材19によって電気的に接合する。また、同時に加圧して、その機械的及び電気的な接合を均一かつ強固なものにする。

【0159】このようにして、上記図8に示される積層型コンデンサ12を内蔵したセラミックス多層基板を製作する。

【0160】以上のように本実施形態によれば、セラミックス多層部B1、B2の形成とは独立に、従来のチップ形状の積層型コンデンサと基本的に同一構造の複数の積層型コンデンサ12を受動素子基板13に内蔵して形成し、その後、この受動素子基板13をセラミックス多層部B1、B2間に介在させて絶縁性接合材18及び導電性接合材19を介して機械的及び電気的に接合していることにより、上記第1の実施形態の場合と同様に、セラミックス多層基板に内蔵された複数の積層型コンデンサ12の特性として、従来のセラミックス多層基板に実装するチップ形状の積層型コンデンサの特性と同等の良好な特性を得ることができる。更に、このとき、積層型コンデンサ12の積層構造をなす内部電極15a、15bはそれぞれに接続するスルーホール16a、16bがいわゆる外部電極として機能し、受動素子基板13の上面及び下面に形成されている配線導体層M6、M7を介してセラミックス多層部B1、B2の配線導体層M1、M11に接続していることにより、従来のチップ形状の積層型コンデンサをセラミックス多層基板に実装する場合よりもその接続配線長が短縮されるため、従来の以上の良好な特性を得ることができる。

【0161】また、上記第1の実施形態の場合と同様に、受動素子基板13に内蔵される積層型コンデンサ12には、従来のチップ形状の積層型コンデンサの外部電極を必要としない分だけ素子の小型化を実現することができるため、その収納面積が小さくなり、引いてはセラ

ミックス多層基板の面積を従来よりも小さくすることが可能になる。また、従来のチップ形状の積層型コンデンサをセラミックス多層基板に実装する場合よりも遙に多くの数の積層型コンデンサ12を受動素子基板13に形成することが可能になるため、全体としての電気的特性を向上させることができ、積層型コンデンサ12の1個当たりの単価を低減させることができ、従来のチップ形状の積層型コンデンサを実装するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。また、受動素子基板13に内蔵される積層型コンデンサ12を形成する際、同一の工程によって同時に受動素子基板13を形成するため、従来のチップ形状の積層型コンデンサを形成する場合と比較しても新たな工程を要することがなく、コストの上昇を防止することができるだけでなく、逆に、複数の積層型コンデンサ12を同一の工程によって同時に形成すること、また、従来のチップ形状の積層型コンデンサの外部電極を形成する工程が不要となることから、却って工程が簡略化されて、コストの低下を実現することができる。

【0162】なお、上記第2の実施形態に係るセラミックス多層基板においては、その受動素子基板13に複数の積層型コンデンサ12を内蔵して形成している場合について述べているが、複数の積層型コンデンサ12のみならず、種類の異なる積層型受動素子、例えば複数の積層型コンデンサ12と共に複数の積層型インダクタ、積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を混在させて形成してもよい。また、従来のチップ形状の積層型受動素子を他の電子部品と共にセラミックス多層基板に搭載する場合と比較すると、受動素子基板13に形成される積層型受動素子の密度が大幅に低下することから、その空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となる。そして、こうしたことにより、全体としての電気的特性を向上させることができると共に、従来のチップ形状の積層型受動素子を搭載するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0163】また、上記第2の実施形態に係るセラミックス多層基板においては、セラミックス多層部B1とセラミックス多層部B2との間に複数の積層型コンデンサ12を内蔵している受動素子基板13を介在させ、これら3者を絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合しているが、セラミックス多層基板を更に3以上のセラミックス多層部B1、B2、B3…に区分し、これら3以上のセラミックス多層部B1、B2、B3…のそれぞれの間に複数の積層型コンデンサ12を内蔵している受動素子基板13や種類の異なる積層型受動素子、例えば複数の積層型インダクタ、積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を内蔵している受動素子基板介在させてもよい。そして、こうしたことにより、全体としての電気的特性を

更に向上させることができる。

【0164】(第3の実施形態)図12は本発明の第3の実施形態に係る積層型インダクタを内蔵したセラミックス多層基板を示す概略断面図である。なお、上記第1の実施形態の図1に示されるセラミックス多層基板の構成要素と同一の要素には同一の符号を用いて、説明を省略する。

【0165】上記第1の実施形態においては、セラミックス層L1、L2、…、L4が積層されたセラミックス多層部B上に複数の積層型コンデンサ12を内蔵している受動素子基板13が形成され、両者が絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合されていると共に、この受動素子基板13上にビルドアップ層20が形成されているのに対して、本実施形態は、複数の積層型コンデンサ12を内蔵している受動素子基板13の代わりに、複数の積層型インダクタを内蔵している受動素子がセラミックス多層部Bと機械的及び電気的に接合されていると共に、この受動素子基板上にビルドアップ層20が形成されている点に特徴がある。

【0166】図12に示されるように、セラミックス系材料からなる4層のセラミックス層L1、L2、…、L4が順に積層され、セラミックス多層部Bを構成している。そして、そのセラミックス層L1上面、セラミックス層L1、L2間、セラミックス層L2、L3間、セラミックス層L3、L4間、及びセラミックス層L4下面には、それぞれ複数の配線導体層M1、M2、…、M5が形成されている。また、これらのセラミックス層L1、L2…、L4には、それぞれ配線導体層M1、M2、…、M5に接続する複数のスルーホール11が形成されている。

【0167】また、このセラミックス多層部Bの最上層のセラミックス層L1上には、複数の積層型インダクタ23を内蔵している受動素子基板24が形成されている。この積層型インダクタ23は、図13に示されるように、誘電体層25中に、例えば抵抗率 $1 \cdot 7 \times 10^{-8} \Omega \cdot \text{cm}$ のCuからなる厚さ $1 \mu\text{m}$ 、幅 $100 \mu\text{m}$ の内部導体層26及びスルーホール27が立体的に角型のスパイラル構造をなしているものである。即ち、水平レベルにおいて直角に曲がっている内部導体層26が誘電体層25を介して複数層に形成されていると共に、隣接する層の内部導体層26の端部が垂直なスルーホール27によって接続され、全体として立体的に角型のスパイラル構造をなしている。なお、ここでは、内部導体層26が5層に積層している場合を図示しているが、実際には、要求されるインダクタンスLに応じて、積層数は決定される。

【0168】また、受動素子基板24には、積層型インダクタ23の外部電極として機能する2種類のスルーホール28a、28bが設けられ、その一方のスルーホー

ル28aは立体的に角型のスパイラル構造をなしている内部導体層26の最上部側の端部に接続され、他方のスルーホール28bはその内部導体層26の最下部側の端部に接続されている。また、こうした積層型インダクタ23を内蔵している受動素子基板24の上面及び下面には、それぞれ積層型インダクタ23のスルーホール28a、18bに接続する配線導体層M12、M13が形成されている。

【0169】また、セラミックス多層部B及び受動素子基板24は、絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合されている。即ち、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板24との間には、絶縁性接合材18及び導電性接合材19が所定の位置に配置されて介在している。そして、セラミックス多層部Bのセラミックス層L1と受動素子基板24とが絶縁性接合材18によって機械的に接合されていると共に、セラミックス層L1上面の配線導体層M1と受動素子基板24下面のM7とが導電性接合材19によって電気的に接合されている。

【0170】また、受動素子基板24上には、ビルドアップ層20が形成されている。そして、このビルドアップ層20には、受動素子基板24上面の配線導体層M12にそれぞれ接続する複数のスルーホール21が形成されている。また、ビルドアップ層20上面には、これら複数のスルーホール21にそれぞれ接続する配線導体層M8が形成されている。

【0171】次に、上記図12に示されるセラミックス多層基板及び積層型インダクタ23を構成する各要素に使用される材料について説明する。但し、上記第1の実施形態において既に説明したものは省略する。

【0172】積層型インダクタ23の内部導体層26の材料としては、上記のように例えば抵抗率 $1 \cdot 7 \times 10^{-8} \Omega \cdot \text{cm}$ のCuを用いる。また、この内部導体層26を接続するスルーホール27にも、同一の材料を用いることが好適である。

【0173】また、積層型インダクタ23の誘電体層25としては、立体的に角型のスパイラル構造をなしている内部導体層26間の容量を低減するために、誘電率の低い材料、例えば誘電率のセラミックス系材料を用いる。これは、同時に、受動素子基板24の基板材料でもある。なお、低誘電率のセラミックス系材料を用いる代わりに、Ni-Zn等のフェライト材料やガラス材、マイカ材等の無機材料を用いてもよい。

【0174】また、配線導体層M12、M13及びスルーホール28a、28bの材料としては、配線導体層M1、M2、…、M8及びスルーホール11、21と同様に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体を用いる。

【0175】次に、図12及び図13に示す積層型インダクタ23を内蔵したセラミックス多層基板の製造プロ

セスを説明する。なお、上記第1の実施形態の場合と共通する工程は、その詳細な説明を省略する。

【0176】まず、上記第1の実施形態の図4(b)に示される場合と全く同様の工程により、図12のセラミックス多層基板を構成するセラミックス多層部Bの形成を行う。即ち、例えばA1N、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミック系材料からなる4枚のグリーンシートに複数のスルーホール用の穴を明け、これらスルーホール用の穴に例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込んでスルーホール11を形成し、更にこれら4枚のグリーンシートグリーンシートの上面又は上面及び下面にスルーホール11の受けランド、配線パターン、部品ランド等の配線導体層M1、M2、…、M5をそれぞれ形成する。続いて、これら4枚のグリーンシートを位置合わせした上で順次積み上げて積層プレスを行い、所望の大きさに切断し、更に加熱し、場合によっては加圧して、グリーンシート内に存在するバインダーを除去した後、焼成を行い、4枚の積層されたグリーンシートを4層のセラミックス層L1、L2、…、L4とする。こうして、4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部Bを形成する。

【0177】次いで、複数の積層型インダクタ23を内蔵している受動素子基板24を形成する。即ち、上記図21～図22を用いて説明した従来の場合と同様に、例えばアルミナ、A1N、窒化珪素、又はガラスセラミックス等の低誘電率のセラミックス系材料からなる厚さ数 μm ～20 μm 程度の非常に薄いシート状の誘電体基板を複数枚用意し、適当な寸法に裁断した後、複数のスルーホール用の穴を明け、これらスルーホール用の穴に例えばCuからなる導体を埋め込んで、スルーホール27を形成する。更に、スクリーン印刷法を用いて、そのそれぞれに例えばCuからなる導電性ペーストを印刷して、端部がスルーホール27に接続する内部導体層26を形成する。

【0178】なお、このとき、上記図22に示されるように、誘電体基板毎にスルーホール27の形成位置及び内部導体層26の形成パターンを変えた複数種類の誘電体基板を形成し、これら複数種類の誘電体基板を後に積層する場合に、内部導体層26の端部のスルーホール27が隣接する誘電体基板間で重なり合い、積層構造をなす内部導体層26が立体的な角型のスパイラル形状をなすようにする。また、内部導体層26を形成する際に、スクリーン印刷法の代わりに、例えばスパッタ法やCVD法を用いてもよい。

【0179】続いて、スルーホール27の形成位置及び内部導体層26の形成パターンが異なる複数種類の誘電体基板を積層成形した後、焼成する。その後、従来のチップ形状の積層型インダクタを作製する場合のようにチ

チップサイズにカットするのではなく、セラミックス多層部Bの大きさに対応させたサイズにカットし、誘電体基板の積層体から誘電体層25の積層体である受動素子基板24を形成する。

【0180】続いて、この受動素子基板24の所定の位置に、スルーホール28a、28bを形成する。このとき、スルーホール28a、28bは、受動素子基板24の内層部に形成されている内部導体層26を挟んでその両端部に位置し、この立体的に角型のスパイラル構造をなしている内部導体層26の最上部側の端部及び最下部側の端部にそれぞれ接続するようになっている。

【0181】こうして、誘電体層25を介して複数層の内部導体層26が積層され、隣接する層の内部導体層26の端部がスルーホール27によって垂直に接続され、更にこの内部導体層26の最上部側の端部及び最下部側の端部がそれぞれ外部電極として機能するスルーホール28a、28bに接続されて、全体として立体的に角型のスパイラル構造をなす積層型インダクタ23を受動素子基板24に内蔵して形成する。

【0182】続いて、受動素子基板24の上面及び下面に、スルーホール28a、28bに接続する配線導体層M12、M13をそれぞれ形成する。

【0183】次いで、上記第1の実施形態においてセラミックス多層部Bと受動素子基板13との機械的、電気的な接続を行う場合と同様にして、セラミックス多層部Bと受動素子基板24との機械的、電気的な接続を行う。即ち、セラミックス多層部Bの最上層のセラミックス層L1上面に、所定の配線導体層M1を露出させる開口部を設けて、絶縁性接合材18を形成した後、同じくセラミックス層L1上面における絶縁性接合材18の開口部に、導電性接合材19を露出した配線導体層M1に接続させて形成する。

【0184】続いて、セラミックス多層部Bと受動素子基板24とを所定の位置に揃えて積層し、絶縁性接合材18及び導電性接合材19を加熱溶融すると共に、導電性ペーストからなる導電性接合材19を導電化させる。こうして、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板24とを両者の間に介在させた絶縁性接合材18によって機械的に接合すると共に、セラミックス層L1上面の配線導体層M1と受動素子基板24下面の配線導体層M11とを両者の間に介在させた導電性接合材19によって電気的に接合する。また、同時に加圧して、その機械的及び電気的な接合を均一かつ強固なものにする。

【0185】次いで、上記第1の実施形態において受動素子基板13上にビルドアップ層20を形成する場合と同様にして、受動素子基板24上にビルドアップ層20を形成する。そして、受動素子基板24上面に形成されている配線導体層M12にそれぞれ接続する複数のスルーホール21を形成し、更にこれらのスルーホール21

の受けランド、配線パターン、部品ランド等の配線導体層M8を形成する。

【0186】このようにして、上記図12に示される積層型インダクタ23を内蔵したセラミックス多層基板を作製する。

【0187】以上のように本実施形態によれば、セラミックス多層部Bの形成とは独立に、従来のチップ形状の積層型インダクタと基本的に同一構造の複数の積層型インダクタ23を受動素子基板24に内蔵して形成し、その後、この受動素子基板24をセラミックス多層部B上に絶縁性接合材18及び導電性接合材19を介して機械的及び電気的に接合していることにより、セラミックス多層基板に内蔵された複数の積層型インダクタ23の特性として、従来のセラミックス多層基板に実装するチップ形状の積層型インダクタの特性と同等の良好な特性を得ることができる。更に、このとき、積層型インダクタ23の立体的な角型スパイラル構造をなす内部導体層26の最上部側及び最下部側の端部にそれぞれ接続するスルーホール28a、28bがいわゆる外部電極として機能し、受動素子基板24の上面及び下面に形成されている配線導体層M12、M13を介してビルドアップ層20のスルーホール21やセラミックス多層部Bの配線導体層M1に接続していることにより、従来のチップ形状の積層型インダクタをセラミックス多層基板に実装する場合よりもその接続配線長が短縮されるため、従来の以上の良好な特性を得ることができる。

【0188】また、受動素子基板24に内蔵される積層型インダクタ23には、従来のチップ形状の積層型インダクタの外部電極を必要としないことから、その分だけ素子の小型化を実現することができるため、その収納面積が小さくなり、引いてはセラミックス多層基板の面積を従来よりも小さくすることが可能になる。

【0189】また、従来のチップ形状の積層型インダクタをセラミックス多層基板に実装する場合よりも遙に多くの数の積層型インダクタ23を受動素子基板24に形成することが可能になるため、全体としての電気的特性を向上させることができる。また、積層型インダクタ23の1個当たりの単価を低減させることができる。また、従来のチップ形状の積層型インダクタを実装するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0190】また、受動素子基板24に内蔵される積層型インダクタ23を形成する際、同一の工程によって同時に受動素子基板24を形成するため、従来のチップ形状の積層型インダクタを形成する場合と比較しても新たな工程を要することがなく、コストの上昇を防止することができる。逆に、複数の積層型インダクタ23を同一の工程によって同時に形成すること、また、従来のチップ形状の積層型インダクタの外部電極を形成する工程が不要となることから、却って工程が簡略化されて、コス

トの低下を実現することができる。

【0191】なお、上記第3の実施形態に係るセラミックス多層基板においては、その受動素子基板24に複数の積層型インダクタ23を内蔵して形成している場合について述べているが、複数の積層型インダクタ23のみならず、種類の異なる積層型受動素子を内蔵して形成することも可能である。例えば複数の積層型インダクタ23と共に複数の積層型コンダクタを混在させて形成してもよい。更に、その他、積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を混在させて形成してもよい。そして、このことにより、全体としての電気的特性を向上させることができると共に、従来のチップ形状の積層型受動素子を搭載するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0192】また、受動素子基板24に複数の積層型インダクタ23を内蔵して形成している場合、更には複数の積層型インダクタ23と共に他の種類の積層型受動素子を混在させて形成している場合であっても、従来のチップ形状の積層型受動素子を他の電子部品と共にセラミックス多層基板に搭載する場合と比較すると、受動素子基板24に形成される積層型受動素子の密度が大幅に低下する。このため、その空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となる。そして、このことによっても、全体としての電気的特性を向上させることができると共に、従来のチップ形状の積層型受動素子を搭載するセラミックス多層基板よりもその積層する層数を減少させる可能性が生じる。

【0193】また、上記第3の実施形態に係るセラミックス多層基板においては、複数の積層型インダクタ23を内蔵している受動素子基板24上にビルドアップ層20が形成されている場合について説明しているが、このビルドアップ層20は必須のものではなく、セラミックス多層部B上に複数の積層型インダクタ23を内蔵している受動素子基板24が絶縁性接合材18及び導電性接合材19によって機械的及び電気的に接合されているだけの構造であってもよい。また、逆に、受動素子基板24上にビルドアップ層20が1層だけ形成されるのではなく、複数層に形成されてもよい。

【0194】

【発明の効果】以上、詳細に説明した通り、本発明に係る多層基板によれば、次のような効果を奏することができる。即ち、請求項1に係る多層基板によれば、積層型受動素子を内蔵する受動素子基板が単一層又は複数層のセラミックス層からなるセラミックス層部と絶縁性接合材及び導電性接合材を介して機械的、電気的に接合されていることにより、セラミックス層部の形成と独立に、受動素子基板に内蔵される積層型受動素子、例えば積層型コンデンサ、積層型インダクタがあり、その他にも積層型抵抗素子、積層型サーミスタ、積層型LCフィルタ等を形成することが可能になり、然もその際に積層型受

動素子を従来のチップ形状の積層型受動素子と基本的に同一構造に形成することが可能になるため、従来のチップ形状の積層型受動素子を多層基板に実装する場合と同等の良好な特性を得ることができる。

【0195】また、受動素子基板に内蔵される積層型受動素子の外部電極としてスルーホールが機能し、このスルーホールによって積層型受動素子がセラミックス層部に電気的に接続されることから、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりもその接続配線長が短縮されるため、従来のチップ形状の積層型受動素子を多層基板に実装する場合以上の良好な特性を得ることができる。

【0196】また、受動素子基板に内蔵される積層型受動素子には、従来の多層基板の表層部に搭載するチップ形状の積層型受動素子のように外部電極を必要としないことから、その分だけ積層型受動素子の小型化を実現することができるため、その収納面積が小さくなり、引いては多層基板の面積を従来よりも小さくすることが可能になる。

【0197】また、積層型受動素子が受動素子基板に内蔵されて形成されることから、従来のチップ形状の積層型受動素子を他の電子部品と共に多層基板の表層部に搭載する場合と比較すると、受動素子基板に形成される積層型受動素子の密度が大幅に低下し、その空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となるため、電気的特性を向上させることができる。また、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりも遙に多くの積層型受動素子を受動素子基板に形成することが可能になり、電気的特性を向上させることができると共に、積層型受動素子の1個当たりの単価を低減させることができる。また、従来のチップ形状の積層型受動素子を搭載する多層基板よりもその積層する層数を減少させる可能性が生じる。

【0198】また、受動素子基板に内蔵される積層型受動素子を形成する際、同一の工程によって同時に受動素子基板を形成することが可能になるため、従来のチップ形状の積層型受動素子を形成する場合より新たな工程を要することがなく、コストの上昇を防止することができる。逆に、複数の積層型受動素子を同一の工程によって同時に形成することが可能になるため、また積層型受動素子を構成する複数の積層された導体層に接続するスルーホールが積層型受動素子の外部電極の機能を果たすことから、従来のチップ形状の積層型受動素子の外部電極を形成する工程が不要となるため、却って工程が簡略化され、コストの低下を実現することができる。

【0199】また、請求項3に係る多層基板によれば、積層型受動素子を内蔵する受動素子基板が単一層又は複数層のセラミックス層からなる複数のセラミックス層部の間に介在して配置され、これら複数のセラミック

ス層部と絶縁性接合材及び導電性接合材を介して機械的、電気的に接合されていることにより、複数のセラミックス層部の形成と独立に、受動素子基板に内蔵される積層型受動素子を形成することが可能になり、然もその際に積層型受動素子を従来のチップ形状の積層型受動素子と基本的に同一構造に形成することが可能になるため、上記請求項1に係る多層基板の場合と同様に、従来のチップ形状の積層型受動素子を多層基板に実装する場合と同等の良好な特性を得ることができる。

【0200】また、上記請求項1に係る多層基板の場合と同様に、外部電極として機能するスルーホールによって積層型受動素子がセラミックス層部に電気的に接続されるため、従来のチップ形状の積層型受動素子を多層基板の表層部に搭載する場合よりもその接続配線長が短縮されて従来以上の良好な特性を得ることができ、また従来のチップ形状の積層型受動素子のように外部電極を必要とせずに積層型受動素子の小型化が実現されるため、その収納面積が小さくなり、引いては多層基板の面積を従来よりも小さくすることが可能になり、また受動素子基板に形成される積層型受動素子の密度は大幅に低下するため、空きスペースを電源、グランド、又は信号線の配線エリアとすることが可能となって電気的特性を向上させることができ、また従来よりも遙に多くの積層型受動素子を受動素子基板に形成することが可能になって電気的特性を向上させることができると共に積層型受動素子の1個当たりの単価を低減させることができ、従来のチップ形状の積層型受動素子を搭載する多層基板よりもその積層する層数を減少させることが可能になり、また積層型受動素子と受動素子基板とが同一の工程によって同時に受動素子基板を形成することが可能になるため、新たな工程を要することなくコストの上昇を防止することができ、従来のチップ形状の積層型受動素子の外部電極を形成する工程が不要となるため、工程が簡略化されてコストの低下を実現することができる。

【0201】更に、積層型受動素子を内蔵する受動素子基板が複数のセラミックス層部の間に介在することから、即ち多層基板の内層部の任意の位置に自由に配置することが可能になるため、積層型受動素子の特性に応じた最適配置をして回路特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る積層型コンデンサを内蔵したセラミックス多層基板を示す概略断面図である。

【図2】図1のセラミックス多層基板に内蔵された積層型コンデンサを示す断面図である。

【図3】図2の積層型コンデンサの構造を説明するための概略斜視図である。

【図4】図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その1）である。

【図5】図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その2）である。

【図6】図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その3）である。

【図7】図1の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その4）である。

【図8】本発明の第2の実施形態に係る積層型コンデンサを内蔵したセラミックス多層基板を示す概略断面図である。

【図9】図8の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その1）である。

【図10】図8の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その2）である。

【図11】図8の積層型コンデンサを内蔵したセラミックス多層基板の製造プロセスを説明するための工程断面図（その3）である。

【図12】本発明の第3の実施形態に係る積層型インダクタを内蔵したセラミックス多層基板を示す概略断面図である。

【図13】図12のセラミックス多層基板に内蔵された積層型インダクタを示す概略斜視図である。

【図14】従来の受動素子を内蔵化したセラミックス多層基板を示す断面図である。

【図15】図14のセラミックス多層基板に内蔵されたコンデンサを説明するための断面図である。

【図16】従来のセラミックス多層基板に内蔵された角形のスパイラル形状のインダクタを示す平面図である。

【図17】従来の比較的小容量のコンデンサを内蔵化したセラミックス多層基板を示す概略断面図である。

【図18】従来のチップ型の積層コンデンサの製造方法を説明するための工程図（その1）であって、誘電体層となる複数枚の誘電体基板を示す斜視図である。

【図19】従来のチップ型の積層コンデンサの製造方法を説明するための工程図（その2）であって、複数枚の誘電体基板に内部電極が形成された状態を示す斜視図である。

【図20】従来のチップ型の積層コンデンサの製造方法を説明するための工程図（その3）であって、完成したチップ型の積層コンデンサを示す断面図である。

【図21】従来のチップ型の積層インダクタの製造方法を説明するための工程図（その1）であって、誘電体層となる複数枚の誘電体基板を示す斜視図である。

【図22】従来のチップ型の積層インダクタの製造方法を説明するための工程図（その2）であって、複数枚の誘電体基板に内部導体層が形成された状態を示す斜視図

である。

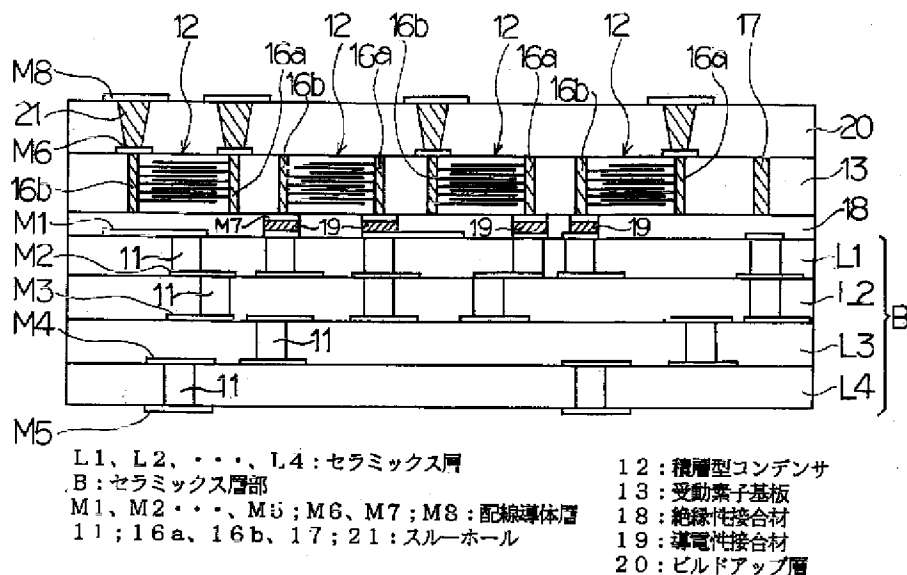
【図23】従来のチップ型の積層インダクタの製造方法を説明するための工程図(その3)であって、完成したチップ型の積層インダクタを示す斜視図である。

【符号の説明】

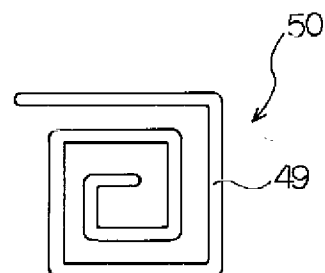
L1、L2、…、L4；L5、L6：セラミックス層、
B；B1、B2：セラミックス層部、M1、M2、…、
M5；M6、M7；M8；M9、M10、M11；M1

2、M13：配線導体層、11；16a、16b、1
7；21；22；27；28a、28b：スルーホール、12：積層型コンデンサ、13、24：受動素子基板、14、25：誘電体層、15a、15b：内部電極、18：絶縁性接合材、19：導電性接合材、20：ビルドアップ層、23：積層型インダクタ、26：内部導体層。

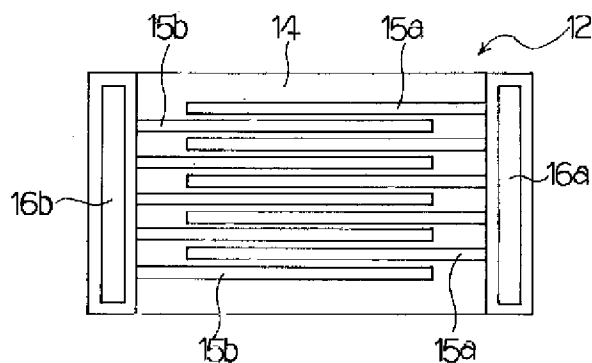
【図1】



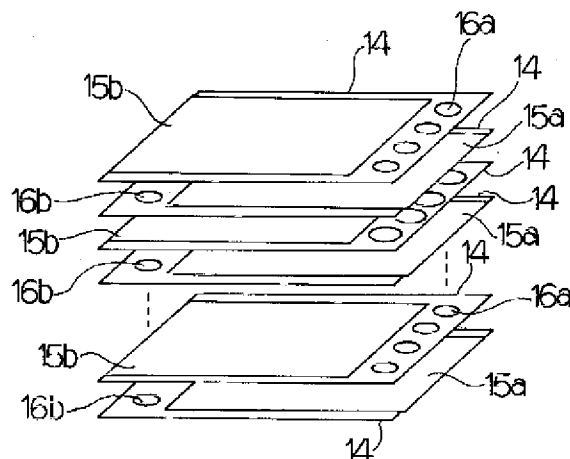
【図16】



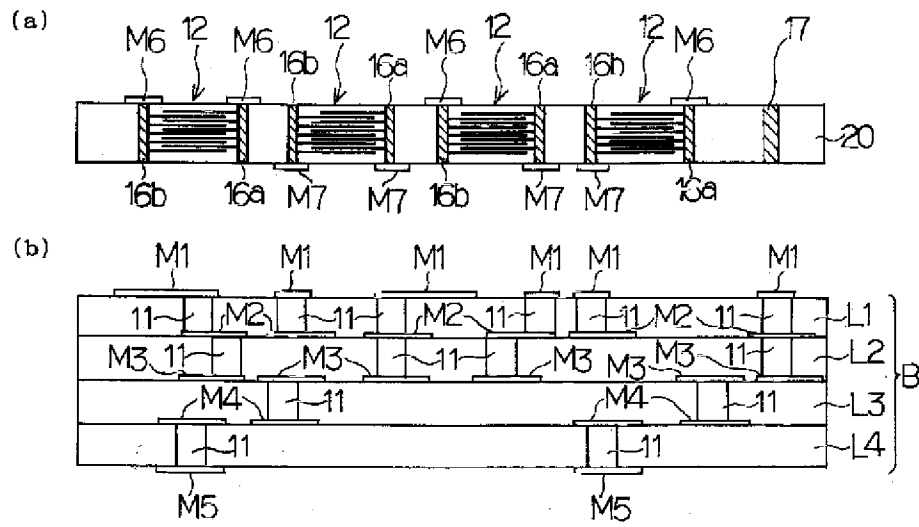
【図2】



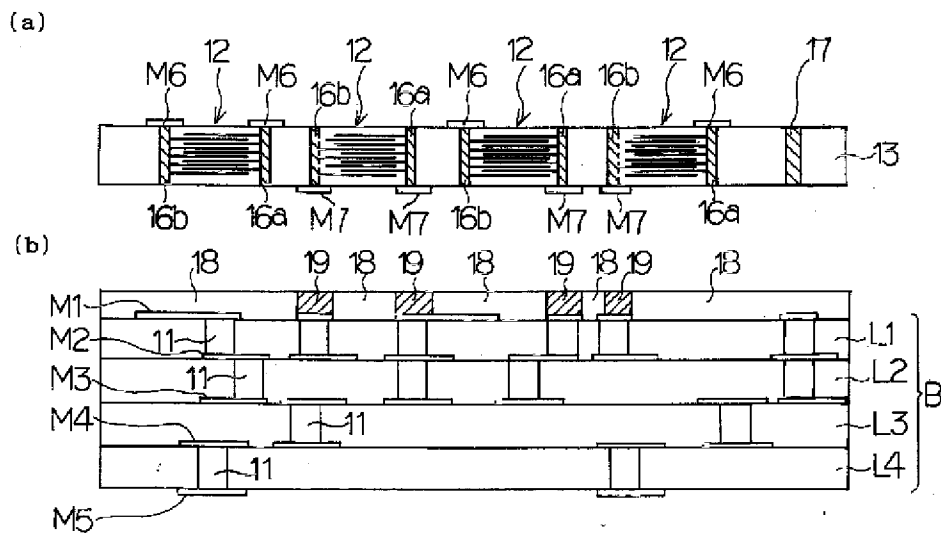
【図3】



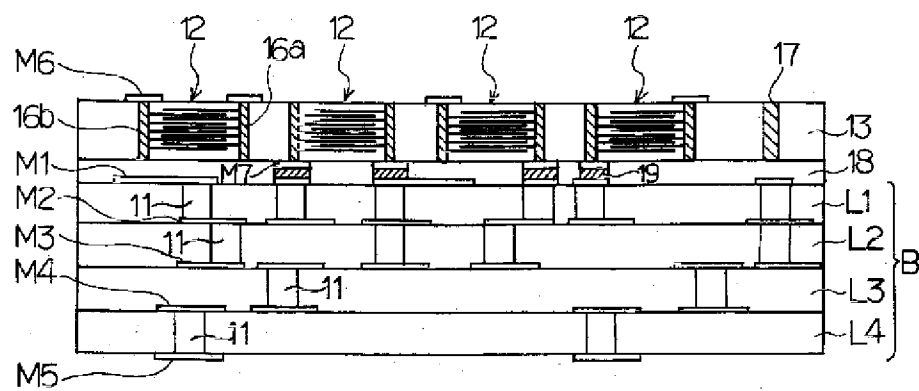
【図4】



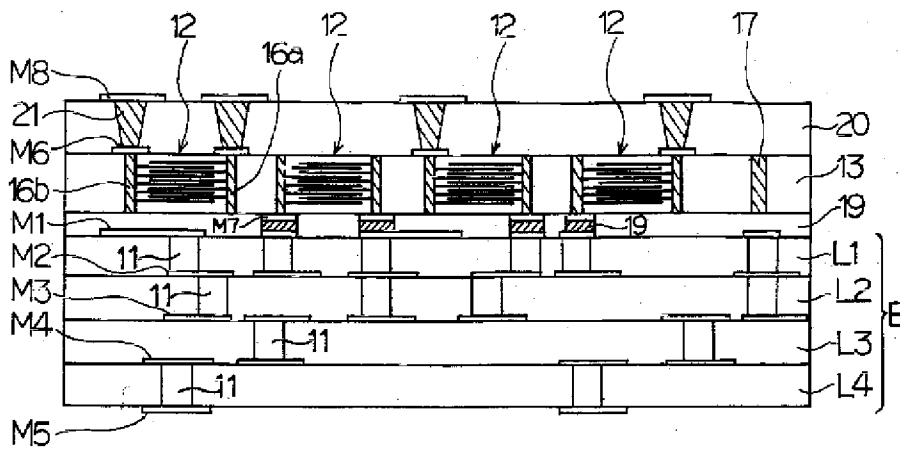
【図5】



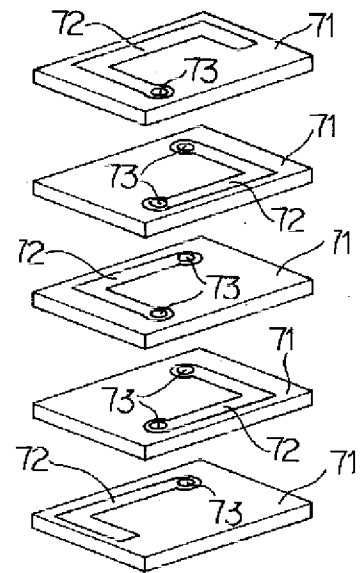
【図6】



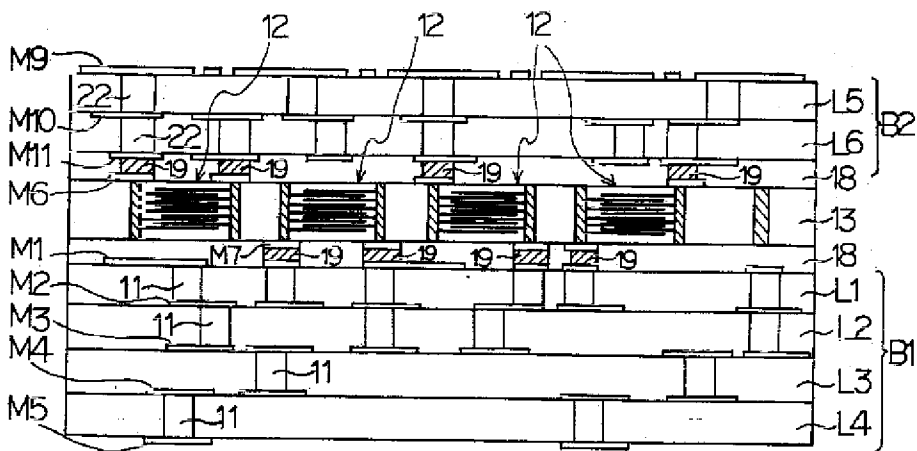
【図7】



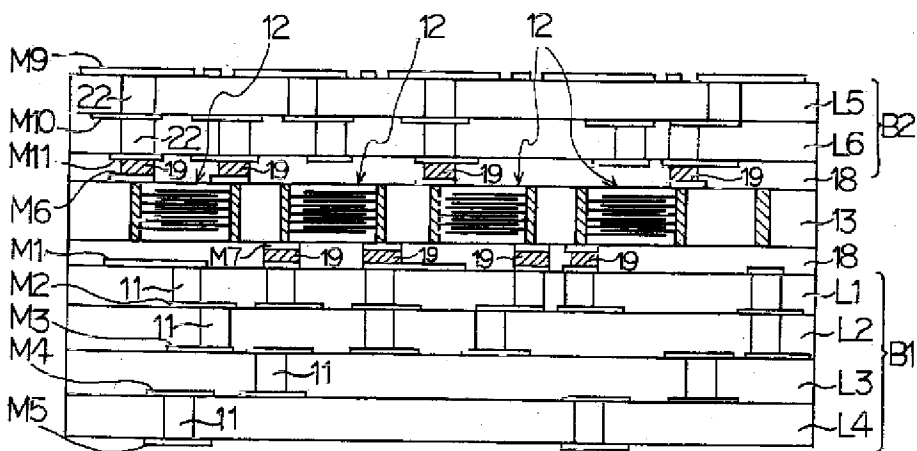
【図22】



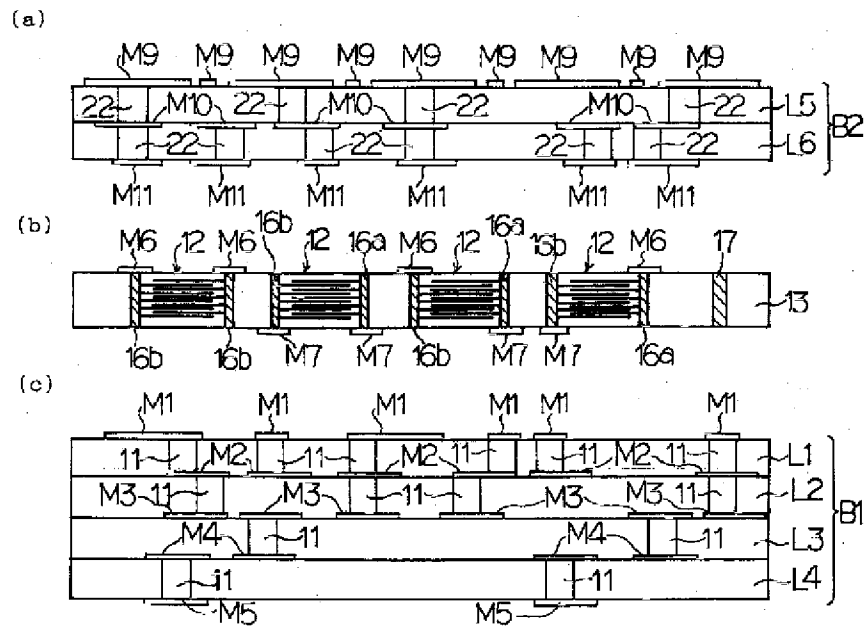
【図8】



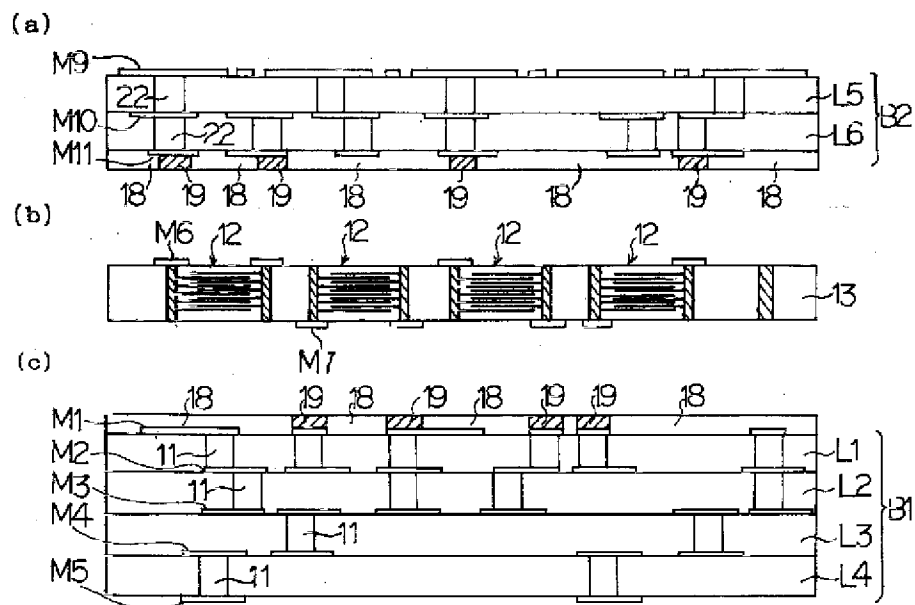
【図11】



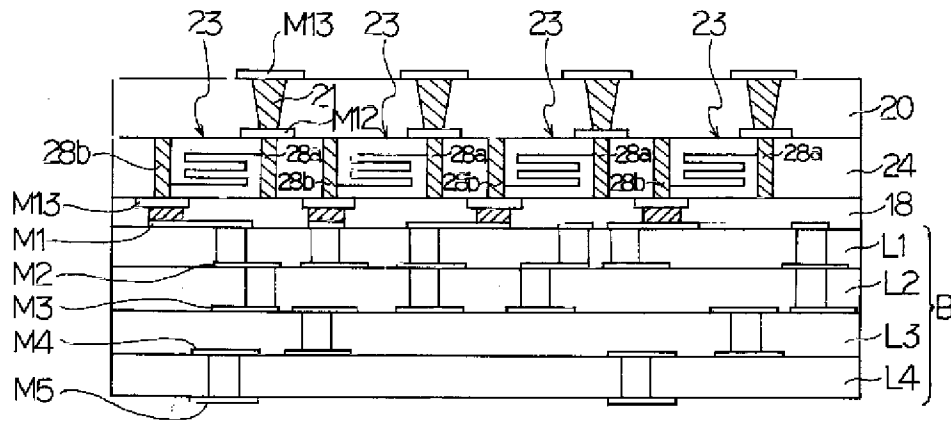
【図9】



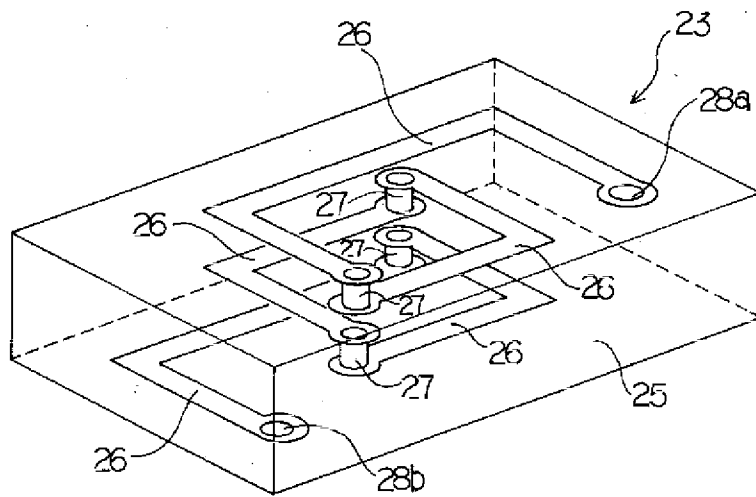
【図10】



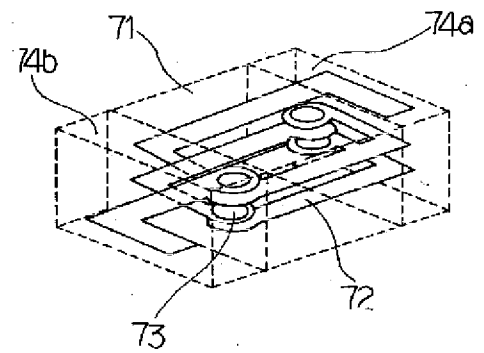
【図12】



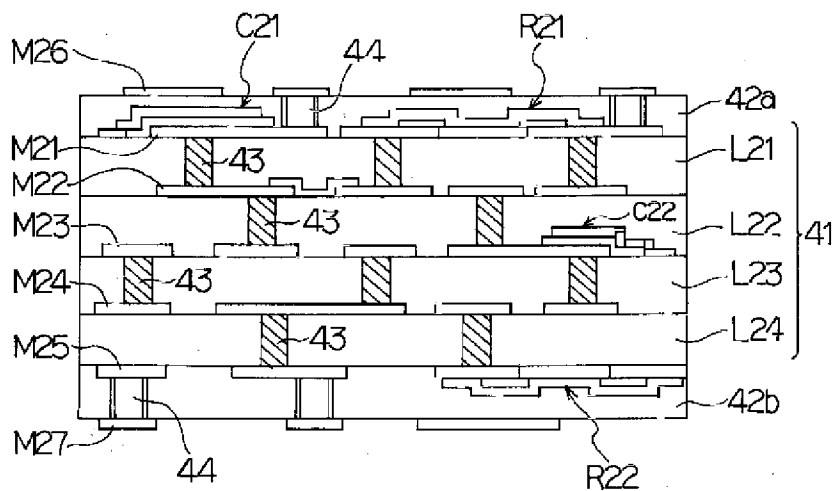
【図13】



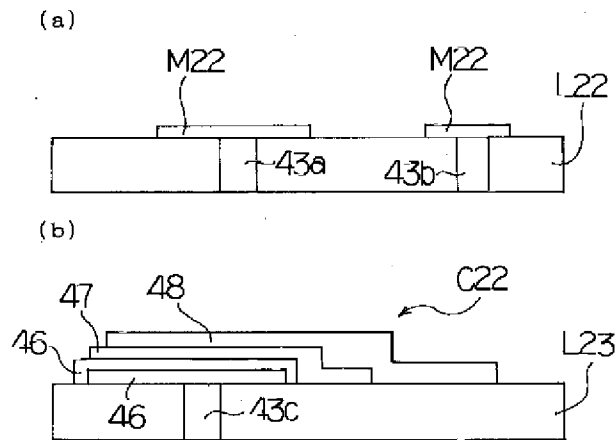
【図23】



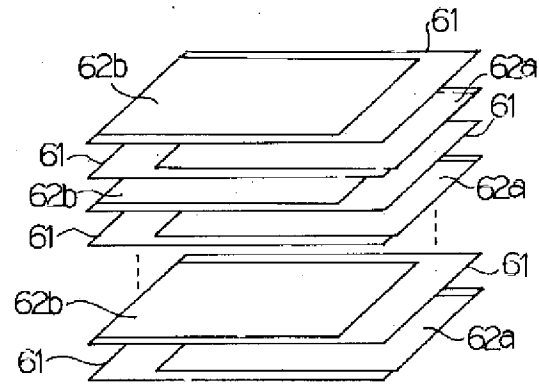
【図14】



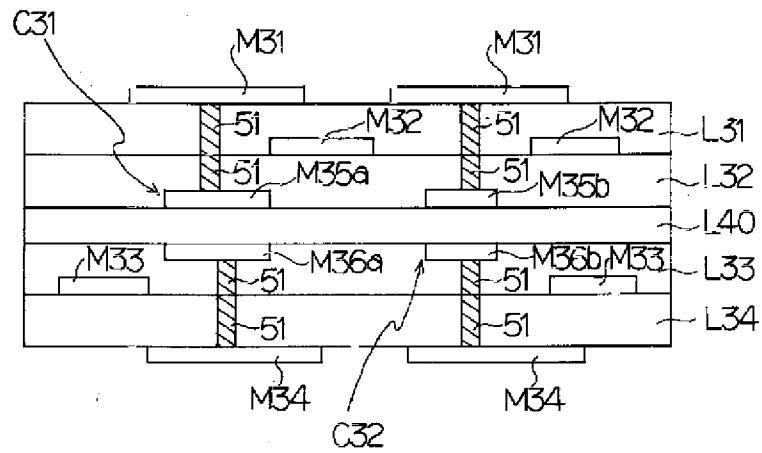
【図15】



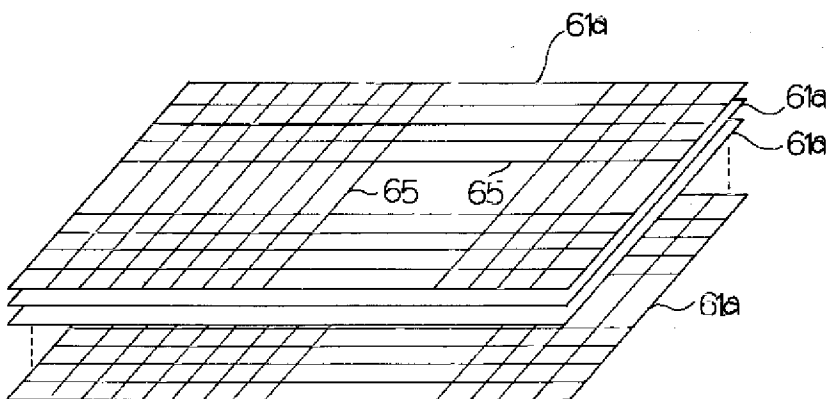
【図19】



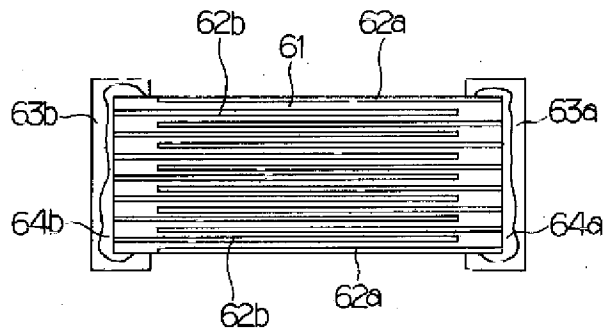
【図17】



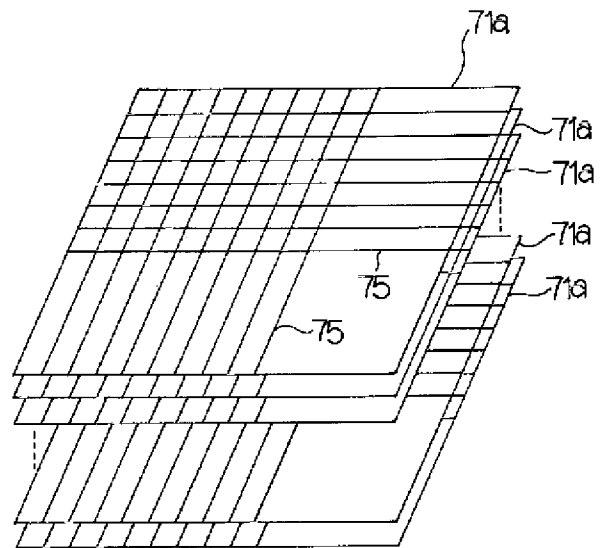
【図18】



【図20】



【図21】



【手続補正書】

【提出日】平成11年2月15日（1999. 2. 15）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】なお、これらの抵抗素子R21、R22は、詳細な図示は省略するが、相対する2つの電極と、これら2つの電極に接続する抵抗体層とから構成されている。また、コンデンサC22は、図15（b）に示されるように、セラミックス層L23上に形成された下部電極45と、この下部電極45上にバリアメタル層46を介して形成された誘電体層47と、この誘電体層47上にバリアメタル層を介して形成された上部電極（図15においては、バリアメタル層及び上部電極を合わせて図示する）48とから構成されている。また、コンデンサC21も、基本的にコンデンサC22と同様の構成である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】また、セラミックス層L31、L32、…、L34のうち、最上層のセラミックス層L31上面、セラミックス層L31とセラミックス層L32との間、セラミックス層L33とセラミックス層L34との

間、及びセラミックス層L34下面に、それぞれ配線導体層M31、M32、…、M34が形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】更に、各セラミックス層L31、L32、…、L34には、それぞれ配線導体層M31、M32、…、M34及びコンデンサ用電極M35a、M35b、M36a、M36bに接続するスルーホール51が形成されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また、配線導体層M31、M32、…、M34、コンデンサ用電極M35a、M35b、36a、M36b、スルーホール51は、上記図14のセラミックス多層基板の配線導体層M21、M22、…、M25、及びスルーホール43と同様に、例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体を材料とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】手順-2

この混練体を延ばし、厚さ $10\mu\text{m}$ ～ $250\mu\text{m}$ 程度の4枚の薄膜と厚さ $10\mu\text{m}$ ～ $100\mu\text{m}$ 程度の1枚の薄膜とを成膜する。そして、これらの薄膜を縦横寸法 50mm ～ 200mm 程度に切断し、複数枚の薄板、即ちグリーンシートを形成する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】スルーホール51を形成した4枚のグリーンシートの上面、場合によっては上面及び下面に、導体印刷を行い、スルーホール51の受けランド、配線パターン、部品ランド等の配線導体層M31、M32、…、M34、及びコンデンサ用電極M35a、M35b、M36a、M36bを形成する。このときの配線導体層M31、M32、…、M34及びコンデンサ用電極M35a、M35b、M36a、M36bの材料としては、スルーホール51の形成に使用した導体と同系統のものをを用いる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】上面に配線導体層M31を形成したグリーンシート、上面及び下面に配線導体層M32及びコンデンサ用電極M35a、35bを形成したグリーンシート、厚さ $10\mu\text{m}$ ～ $100\mu\text{m}$ 程度のグリーンシート、上面及び下面にコンデンサ用電極M36a、36b及び配線導体層M33を形成したグリーンシート、並びに下面に配線導体層M34を形成したグリーンシートの位置合わせを行う。こうして、厚さ $10\mu\text{m}$ ～ $100\mu\text{m}$ 程度のグリーンシートを間にしてコンデンサ用電極M35aとコンデンサ用電極M36aとが対向し、コンデンサ用電極M35bとコンデンサ用電極M36bとが対向するようにした後、順次積み上げる。そして、積層プレスを行い、各グリーンシート間にエア等が残存しないようにする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】以上、セラミックス多層基板の軽薄短小化を図るため、その表層部や内層部に受動素子を形成する場合について説明してきたが、こうしたセラミックス多層基板の多層化と受動素子の内蔵化とは別に、セラミッ

クス多層基板に実装するチップ形状の積層型受動素子を小型化することにより、近年の電子機器の小型軽量化に対応する動きもあった。このことは、チップ形状の積層型受動素子が市場に導入されて以来のチップサイズの目ざましい小型化の進展に現れている。即ち、チップ形状の積層型受動素子のチップサイズは、 $L3.2\text{mm}\times W1.6\text{mm}$ から $L2.1\text{mm}\times W1.25\text{mm}$ 、 $L1.6\text{mm}\times W0.8\text{mm}$ 、 $L1.0\text{mm}\times W0.5\text{mm}$ 、 $L0.6\text{mm}\times W0.3\text{mm}$ へと変化してきた。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】現在使用されているチップ形状の積層型コンデンサは、そのチップサイズが、 $L3.2\text{mm}\times W1.6\text{mm}$ 、 $L2.1\text{mm}\times W1.25\text{mm}$ 、 $L1.6\text{mm}\times W0.8\text{mm}$ 、 $L1.0\text{mm}\times W0.5\text{mm}$ 、 $L0.6\text{mm}\times W0.3\text{mm}$ などのタイプに分かれて供給されている。そして、そのチップ形状の積層型コンデンサの厚みは、チップサイズ $L1.0\text{mm}\times W0.5\text{mm}$ において、耐電圧 16V 、容量 100000pF のB特性又はF特性の場合に、 0.5mm 程度とが実現されており、今後は更に小型の積層型コンデンサが供給されてくるものと予測されている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正内容】

【0111】また、このセラミックス多層部Bの最上層のセラミックス層L1上には、複数個の積層型コンデンサ12を内蔵している受動素子基板13が形成されている。そして、これらの積層型コンデンサ12は、図2及び図3に示されるように、例えば厚さ数 μm ～ $20\mu\text{m}$ 程度の非常に薄い板状の誘電体層14を介して、形成領域がずれている2種類の内部電極15a、15bが交互に積層してなるものである。なお、ここでは、10層に積層した場合を図示しているが、実際には、要求される静電容量Cに応じて、数十層にも積層される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0122

【補正方法】変更

【補正内容】

【0122】先ず、図1のセラミックス多層基板を構成するセラミックス多層部Bの形成を行う。即ち、図4(b)に示されるように、従来と同様の方法を用いて、例えば厚さ $50\mu\text{m}$ ～ $250\mu\text{m}$ 程度、縦横寸法 50mm ～ 200mm 程度のA1N、高純度アルミナ、ガラス

セラミック、又はジルコニア等のセラミックス系材料からなる4枚のグリーンシートを形成する。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0154

【補正方法】変更

【補正内容】

【0154】先ず、上記第1の実施形態の図4(b)に示される場合と同様にして、図8のセラミックス多層基板を構成するセラミックス多層部B1の形成を行う。即ち、図9(c)に示されるように、例えばA1N、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミック系材料からなる4枚のグリーンシートに複数のスルーホール用の穴を明けて、これらスルーホール用の穴に例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込んでスルーホール11を形成し、更にこれら4枚のグリーンシートの上面又は上面及び下面にスルーホール11の受けランド、配線パターン、部品ランド等の配線導体層M1、M2、…、M5をそれぞれ形成する。続いて、これら4枚のグリーンシートを位置合わせした上で順次積み上げて積層プレスを行い、所望の大きさに切断し、更に加熱し、場合によっては加圧して、グリーンシート内に存在するバインダーを除去した後、焼成を行い、4枚の積層されたグリーンシートを4層のセラミックス層L1、L2、…、L4とする。こうして、これら4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部B1を形成する。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0168

【補正方法】変更

【補正内容】

【0168】また、受動素子基板24には、積層型インダクタ23の外部電極として機能する2種類のスルーホール28a、28bが設けられ、その一方のスルーホール28aは立体的に角型のスパイラル構造をなしている内部導体層26の最上部側の端部に接続され、他方のスルーホール28bはその内部導体層26の最下部側の端部に接続されている。また、こうした積層型インダクタ23を内蔵している受動素子基板24の上面及び下面には、それぞれ積層型インダクタ23のスルーホール28a、28bに接続する配線導体層M12、M13が形成されている。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0169

【補正方法】変更

【補正内容】

【0169】また、セラミックス多層部B及び受動素子

基板24は、絶縁性接合材18及び導電性接合材19によって機械的及び電氣的に接合されている。即ち、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板24との間には、絶縁性接合材18及び導電性接合材19が所定の位置に配置されて介在している。そして、セラミックス多層部Bのセラミックス層L1と受動素子基板24とが絶縁性接合材18によって機械的に接合されていると共に、セラミックス層L1上面の配線導体層M1と受動素子基板24下面のM13とが導電性接合材19によって電氣的に接合されている。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0176

【補正方法】変更

【補正内容】

【0176】先ず、上記第1の実施形態の図4(b)に示される場合と全く同様の工程により、図12のセラミックス多層基板を構成するセラミックス多層部Bの形成を行う。即ち、例えばA1N、高純度アルミナ、ガラスセラミック、又はジルコニア等のセラミック系材料からなる4枚のグリーンシートに複数のスルーホール用の穴を明け、これらスルーホール用の穴に例えばCu、Ag、Ag-Pt、Ag-Pd、W、Mo等の単体又は混合体からなる導体を埋め込んでスルーホール11を形成し、更にこれら4枚のグリーンシートグリーンシートの上面又は上面及び下面にスルーホール11の受けランド、配線パターン、部品ランド等の配線導体層M1、M2、…、M5をそれぞれ形成する。続いて、これら4枚のグリーンシートを位置合わせした上で順次積み上げて積層プレスを行い、所望の大きさに切断し、更に加熱し、場合によっては加圧して、グリーンシート内に存在するバインダーを除去した後、焼成を行い、4枚の積層されたグリーンシートを4層のセラミックス層L1、L2、…、L4とする。こうして、4層のセラミックス層L1、L2、…、L4が順に積層されたセラミックス多層部Bを形成する。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0184

【補正方法】変更

【補正内容】

【0184】続いて、セラミックス多層部Bと受動素子基板24とを所定の位置に揃えて積層し、絶縁性接合材18及び導電性接合材19を加熱溶融すると共に、導電性ペーストからなる導電性接合材19を導電化させる。こうして、セラミックス多層部Bの最上層のセラミックス層L1と受動素子基板24とを両者の間に介在させた絶縁性接合材18によって機械的に接合すると共に、セラミックス層L1上面の配線導体層M1と受動素子基板24下面の配線導体層M13とを両者の間に介在させた

導電性接合材 19 によって電氣的に接合する。また、同時に加圧して、その機械的及び電氣的な接合を均一かつ強固なものにする。

【手続補正 17】

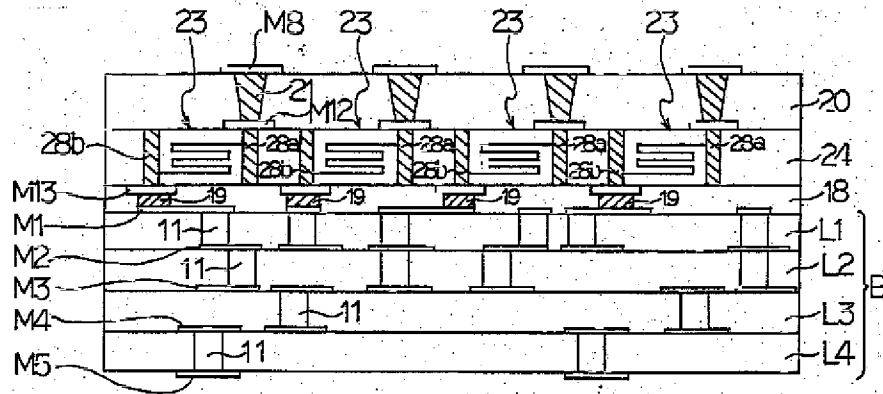
【補正対象書類名】図面

【補正対象項目名】図 12

【補正方法】変更

【補正内容】

【図 12】



【手続補正 18】

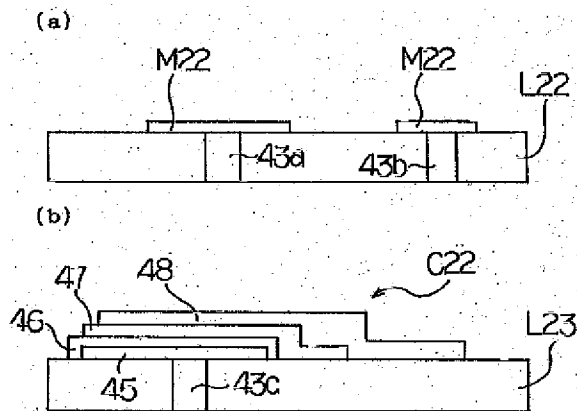
【補正対象書類名】図面

【補正対象項目名】図 15

【補正方法】変更

【補正内容】

【図 15】



フロントページの続き

F ターム(参考) 5E346 AA04 AA13 AA15 AA27 AA43
 BB02 BB03 BB04 BB06 BB16
 BB20 CC08 CC17 CC18 CC19
 CC21 CC31 CC41 CC42 DD02
 DD03 DD15 DD22 DD32 DD33
 DD34 EE24 EE31 EE33 EE34
 FF04 FF18 FF36 FF41 FF45
 GG03 GG06 GG08 GG09 GG10
 GG15 GG17 GG19 GG28 HH21
 HH22